

Patent

Customer No. 31561
Application No.: 10/710,764
Docket No. 11425-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Fang et al.
Application No. : 10/710,764
Filed : Aug 02, 2004
For : LOW POWER CONSUMPTION CIRCUIT AND DELAY
CIRCUIT THEREOF
Examiner : N/A
Art Unit : 2817

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 92122707,
filed on: 2003/8/19.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: February 18, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

RECEIVED
MAR - 9 2005
OIPE/JCWS



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 08 月 19 日
Application Date

申請案號：092122707
Application No.

申請人：科統科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2004 年 11 月
Issue Date

發文字號：09320976910
Serial No.

申請日期：2003. 8. 19	IPC分類
申請案號：92/22707	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	低耗能振盪電路及延遲級
	英文	Low power consumption oscillator and delay circuit
二、發明人 (共3人)	姓名 (中文)	1. 方宏基 2. 李文傑
	姓名 (英文)	1. Henry Fang 2. LEE, VINCENT
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市東區金山里金山七街一號九樓 2. 新竹市東區東勢里3鄰東明街58號8樓之3
	住居所 (英文)	1. 9F, No.1, Chin-Shan 7th St., East District, Hsinchu, Taiwan, R.O.C 2. 8F.-3, NO.58, DONGMING ST., HSINCHU CITY 300, TAIWAN (R.O.C.)
三、申請人 (共1人)	名稱或姓名 (中文)	1. 科統科技股份有限公司
	名稱或姓名 (英文)	1. KOLTEK Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市東區金山里金山七街一號九樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 9F, No.1, Chin-Shan 7th St., East District, Hsinchu, Taiwan, R.O.C
	代表人 (中文)	1. 陳文熙
	代表人 (英文)	1. Daniel Chen



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	
	英 文	
二、發明人 (共3人)	姓 名 (中文)	3. 鄭智元
	姓 名 (英文)	3. CHENG, GUS
	國 籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 臺北市松山區三民里2鄰三民路95巷33號3樓
	住居所 (英 文)	3. 3F., NO. 33, LANE 95, SANMIN RD., SONGSHAN DISTRICT, TAIPEI CITY 105, TAIWAN (R. O. C.)
三、申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：低耗能振盪電路及延遲級)

一種低耗能振盪電路及延遲級，此電路包括致能電路、振盪延遲電路與回饋控制網路。首先由致能電路接收一個致能信號，開始首次之振盪操作之後，即根據一個迴授控制信號輸出一個起始振盪信號。振盪延遲電路連接至致能電路，根據起始振盪信號交互產生出一個高位準振盪信號以及一個低位準振盪信號。最後，連接至振盪延遲電路之回饋控制網路則整合高位準振盪信號與低位準振盪信號為一個迴授控制信號，並將其回饋輸入至致能電路以觸發下次振盪。

伍、(一)、本案代表圖為：第__2__圖

(二)、本案代表圖之元件代表符號簡單說明：

205：致能電路

207：振盪延遲電路

209：回饋控制網路

五、英文發明摘要 (發明名稱：Low power consumption oscillator and delay circuit)

A low power consumption oscillator and delay circuit is disclosed. The oscillator includes an enabling circuit, an oscillation delay circuit and a feedback control network. Firstly, the enabling circuit accepts an enable signal and starts the oscillation operation. Thereafter, a starting-up oscillation signal is produced by the enabling circuit according to a feedback control signal.



四、中文發明摘要 (發明名稱：低耗能振盪電路及延遲級)

211：緩衝元件

213：致能信號

215：迴授控制信號

217、221：高位準振盪信號

219、224：低位準振盪信號

五、英文發明摘要 (發明名稱：Low power consumption oscillator and delay circuit)

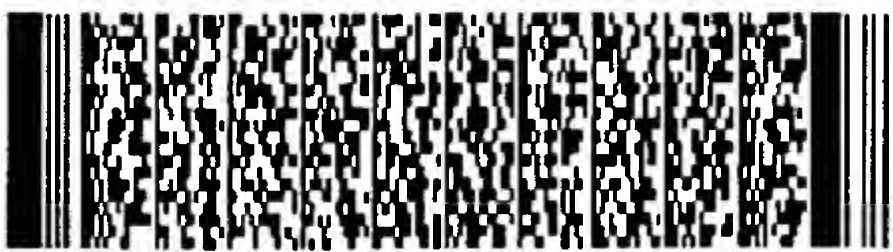
The oscillation delay circuit connects to the enabling circuit and produces a high-level oscillation signal and a low-level oscillation signal alternatively according to the starting-up oscillation signal. Finally, the feedback control network, which connects to the oscillation delay circuit, combines the high-level and low-level oscillation signal to form the enable signal and



四、中文發明摘要 (發明名稱：低耗能振盪電路及延遲級)

五、英文發明摘要 (發明名稱：Low power consumption oscillator and delay circuit)

transmits the enable signal to the enabling
circuit to initialize a next oscillation.



六、指定代表圖



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種振盪電路，且特別是有關於一種低耗能的振盪電路及其延遲級。

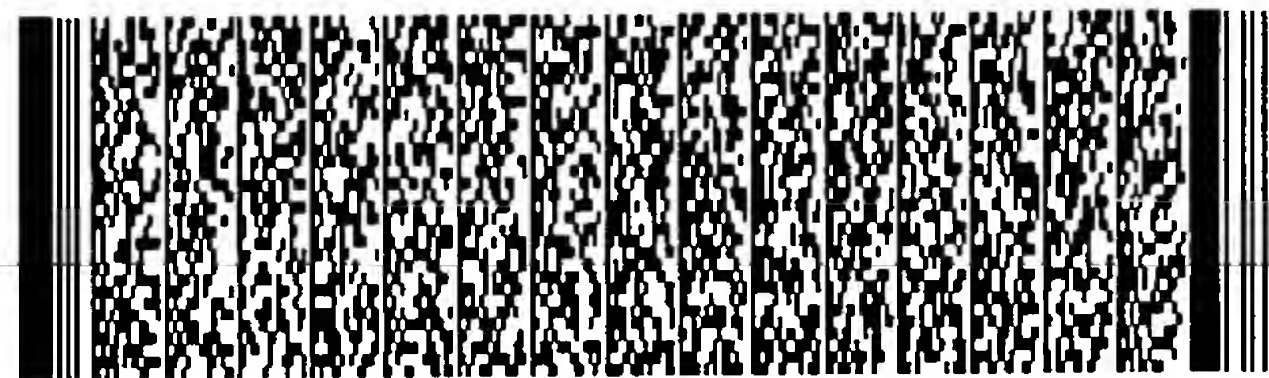
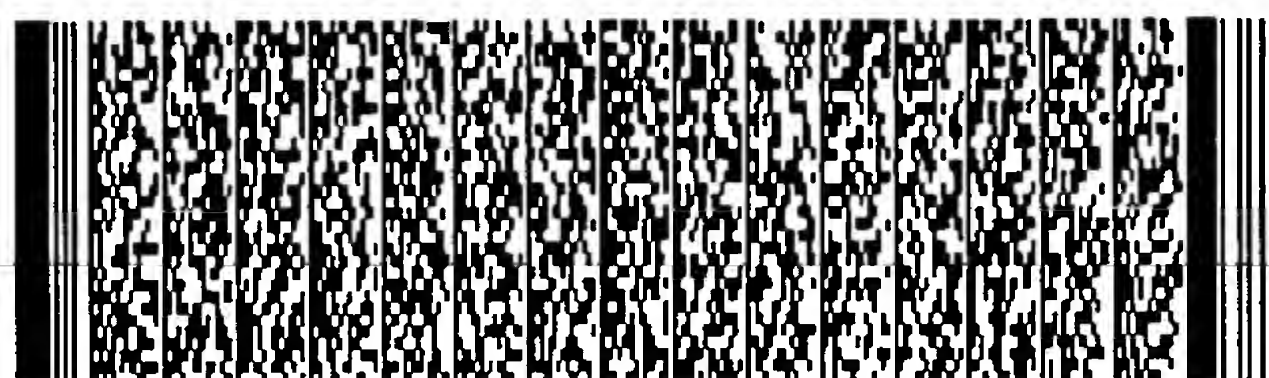
先前技術

一般環狀振盪器(Ring Oscillator)若需要較長之振盪週期時，習知的一種作法是串聯多級串接的閘延遲(Gate Delay)來達到長振盪週期的目的，而另一種作法則是利用大型負載的充放電時間較長的原理，藉由加上大型負載來增加延遲時間，例如採取累積多級串接的閘延遲(Gate Delay)來達到增長振盪週期的目的，於反相器與另一反相器之間加入大型的被動性負載(Passive Loading)的方式，達成所需之延遲效果。但是上述兩種作法均相當耗電。

請參照第1圖，其繪示習知之環狀振盪器的方塊示意圖，此習知技術已揭露於美國專利第6188293號之專利案。此習知之振盪電路包括，一個定電壓產生電路(Constant Voltage Generating Circuit)102、一個反相電路(Invert Circuit)104與一個定電流元件(Constant Current Element)106。在此振盪電路中，反相電路乃是以反相器與負載元件交錯組合而成。在此習知技術中使用定電壓產生電路來控制電壓，以及使用定電流元件來限定電流，利用降壓與限流來達到低耗能的目的是。

發明內容

有鑒於此，本發明的目的就是在提供一種低耗能振盪

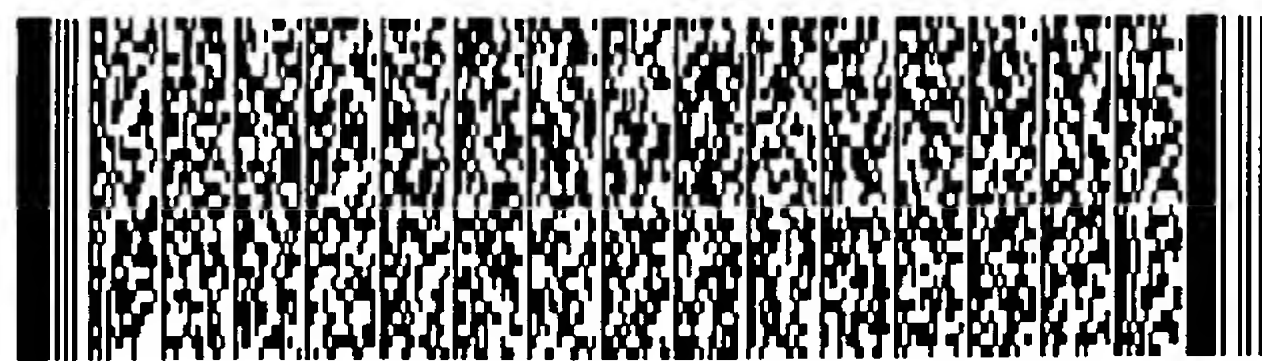
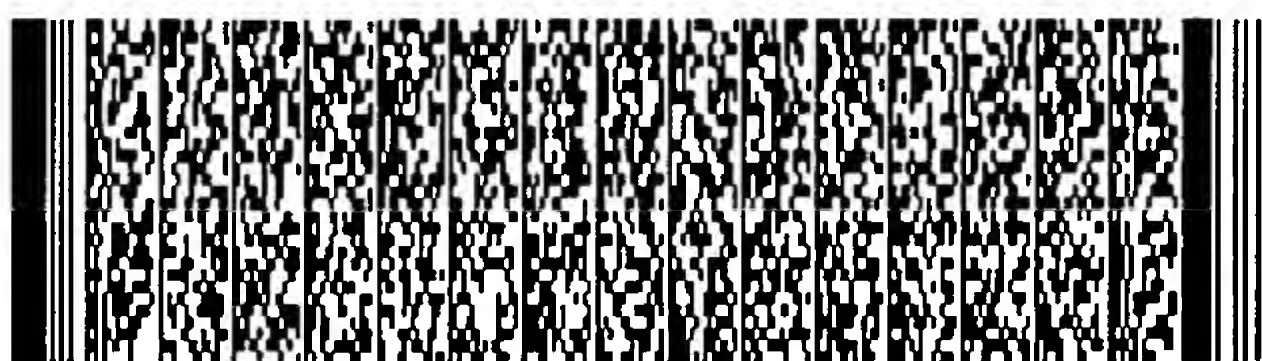


五、發明說明 (2)

電路及其所使用之延遲級，以改善習知採用多級串接方式以及使用大型負載元件所造成耗電之問題。

為達上述之目的，本發明提出一種低耗能振盪電路包括，一個致能電路(Enable Circuit)、一個振盪延遲電路(Oscillator Delay Circuit)與一個回饋控制網路(Feedback Control Network)。首先，致能電路，接收一個由外部控制之致能信號輸入後，啟動首次之振盪操作，接下來便根據迴授控制信號，輸出起始振盪信號。電性連接至致能電路之振盪延遲電路，自致能電路接收上述之起始振盪信號後交互產生出一個於高電位區域進行振盪之高電位準振盪信號及一個於低電位區域進行振盪之低電位準振盪信號。其中，高電位區域是指介於振盪電路的高工作電位與高於振盪電路的低工作電位之間的區域，低電位區域則是指介於低工作電位與低於高工作電位之間的區域。最後，回饋控制網路電性連接至振盪延遲電路的輸出，將高電位準振盪信號及低電位準振盪信號進行波形整合後輸出一個迴授控制信號，並將此迴授控制信號回饋輸入至致能電路中，藉以觸發下一次之振盪，使此振盪電路形成一環狀路徑。

另外，低耗能之振盪電路的延遲級是根據一個高工作電位與一個低工作電位來進行操作。此延遲級包括一個上拉元件、一個下拉元件、一個負載元件、一個第一輸出端與一個第二輸出端。其中上拉元件電性連接至高工作電位，用來接收第一信號。下拉元件電性連接至低工作電



五、發明說明 (3)

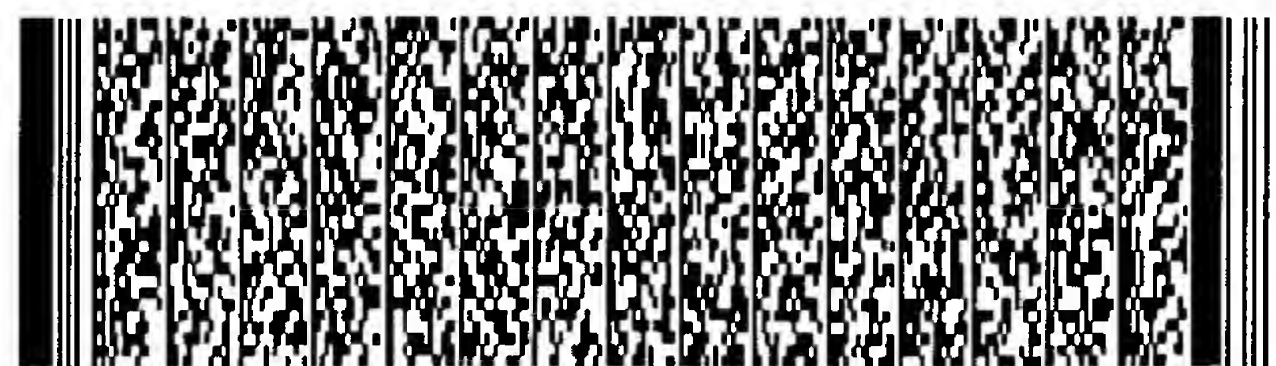
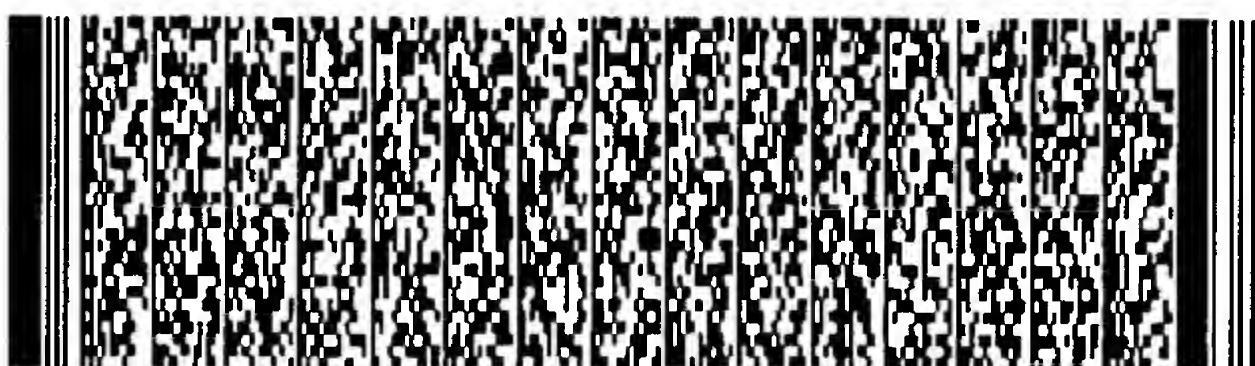
位，用來接收第二信號。負載元件則是電性連接於上拉元件與下拉元件之間。第一輸出端電性連接於上拉元件與負載元件之間，其輸出為一個於高電位區域進行振盪的信號。第二輸出端電性連接於下拉元件與負載元件之間，其輸出為一個於低電位區域進行振盪的信號。上述之上拉元件可以是P型半導體，上述之下拉元件則可以是N型半導體。若從另一個觀點來看，此延遲級中之上拉元件與下拉元件也可以用來接收一個振盪信號。

使用將振盪信號分別處理為在高電位區域進行振盪之高位準振盪信號，與在低電位區域進行振盪之低位準振盪信號來進行振盪的方式來傳遞，達到省電之目的。除此之外，回饋控制網路的作用主要是對振盪延遲電路進行重設(Reset)的動作，並再次觸發進行振盪。振盪延遲電路的輸入若不經過回饋控制網路的位準重設，會隨著多級串接下，相位偏移的逐級累積，導致振盪延遲電路中，上拉元件與下拉元件的截止工作區相互重疊，令振盪信號無法繼續傳遞而無法維持振盪。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

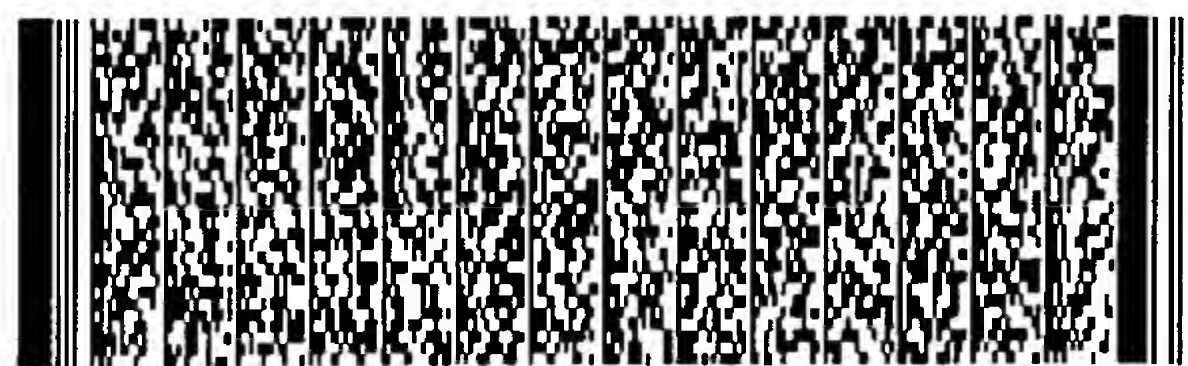
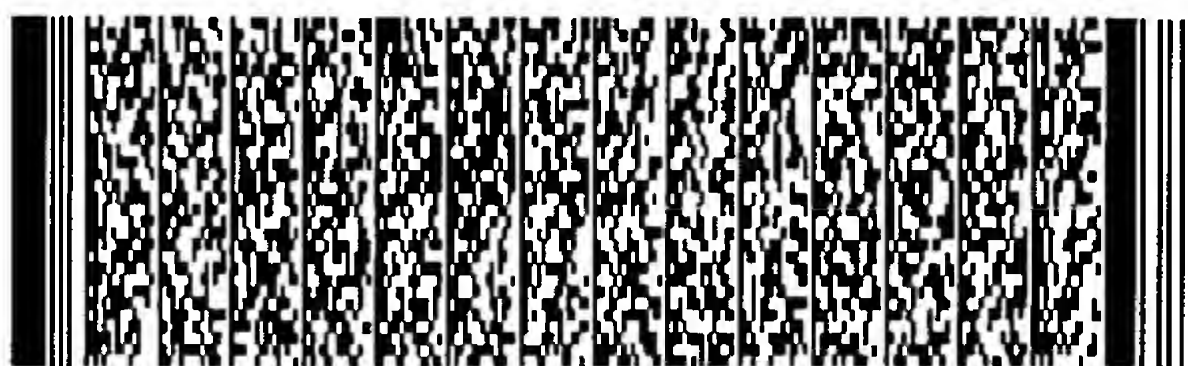
請參照第2圖，其繪示依照本發明一較佳實施例的低耗能振盪電路的方塊示意圖。本實施例包括，致能電路205、振盪延遲電路207、與回饋控制網路209。首先，致



五、發明說明 (4)

能電路205由外界接收一個致能信號213後進行首次振盪操作之後，即根據一個迴授控制信號215輸出一個起始振盪信號。接下來，連接至致能電路205的輸出端217、219的振盪延遲電路207從致能電路205接收上述之起始振盪信號後，根據此起始振盪信號交互產生出一個於高電位區域進行振盪之高位準振盪信號221，及於低電位區域進行振盪之低位準振盪信號224後輸出。其中，在這裡的高電位區域是指介於振盪電路的高工作電位與高於振盪電路的低工作電位之間的區域，低電位區域則是指介於低工作電位與低於高工作電位之間的區域。最後回饋控制網路209電性連接至振盪延遲電路207的輸出，將高位準振盪信號221與低位準振盪信號224整合為一個迴授控制信號215後輸出至致能電路205中，此迴授控制信號215與起始振盪信號互為反相。藉由將迴授控制信號215回饋輸入至致能電路205中，可使此振盪電路維持振盪。

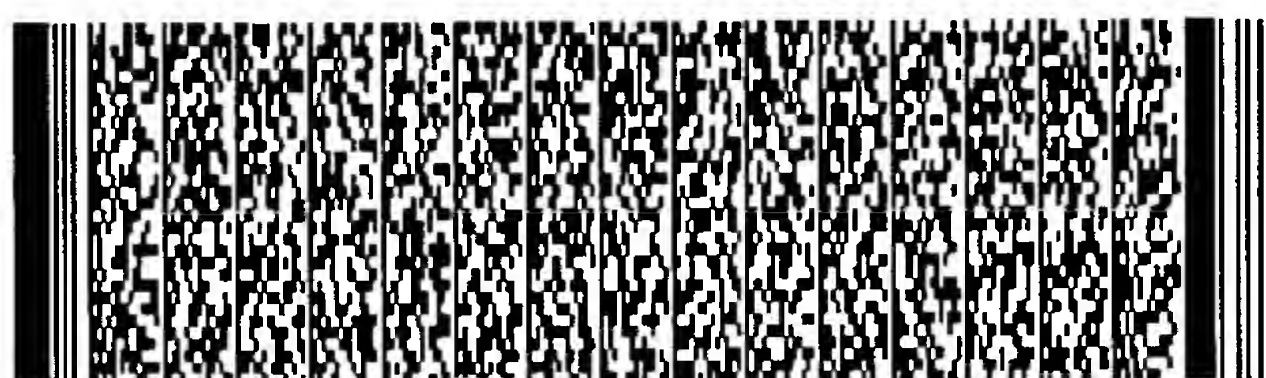
請參照第3圖，其繪示的是根據第2圖之致能電路之一較佳實施例之裝置方塊圖。本實施例之致能電路205包括一個P型半導體組合315、一個N型半導體組合317以及一個負載元件306。其中P型半導體組合315為P型半導體元件302與P型半導體元件308並接而成，N型半導體組合317則是N型半導體元件310與N型半導體元件304串接而成，而負載元件306則連接於P型半導體元件308與N型半導體元件310之間。此致能電路205之主要作用為接收一個由外部控制之致能信號213來進行首次振盪後，接下來便由所接收



五、發明說明 (5)

之迴授控制信號215來觸發下次振盪。熟悉此技術之人士可知本實施例以邏輯層次的觀點看來為一反及閘(NAND)，但於實際應用上並無須以此為限。例如，可以在P型半導體組合中使用串接兩個P型半導體元件，再加上在N型半導體組合中使用並接兩個N型半導體元件組成一反或閘(NOR)來使用。在本實施例中，P型半導體組合315會根據致能信號213或是迴授控制信號215兩者其中之一，來輸出一個高位準振盪信號217，而N型半導體組合317則是會根據致能信號213或是迴授控制信號215兩者其中之一，來輸出一個低位準振盪信號219。當負載元件不具有高電阻性時，高位準振盪信號與低位準振盪信號進行振盪之電位區域將會有重疊區間產生。致能電路205的主要作用為接受外部致能信號213來觸發電路進行首次振盪操作後，接受迴授控制信號215，使整個振盪電路能夠維持於振盪狀態。

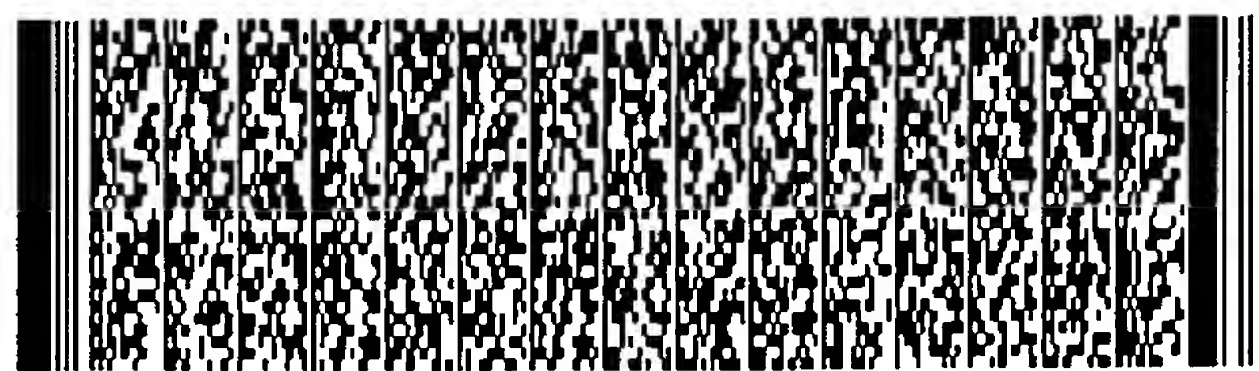
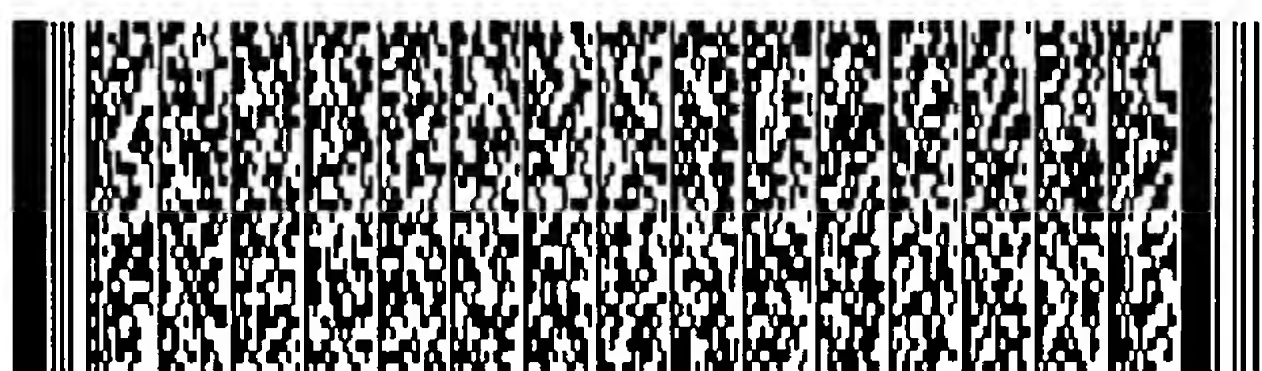
接下來，請參照第4圖，其繪示根據第2圖之振盪延遲電路之一較佳實施例之裝置方塊圖。本實施例之振盪延遲電路207至少需包括有一個延遲級(Delay)，但也可以以複數個延遲級串接來實現，在本實施例中包括有由第一負載元件406連接於第一上拉元件403與第一下拉元件409之間所組成之第一延遲級，以及由第二負載元件415連接於第二上拉元件412與第二下拉元件418之間所組成之第二延遲級。在第一延遲級中更包括有一個第一輸出端421與一個第二輸出端423，而在第二延遲級中則更包括有第一輸出端429與第二輸出端431。當低位準振盪信號219之電位上



五、發明說明 (6)

升時，此時第一延遲級之上拉元件403呈關閉狀態，下拉元件409則會迅速導通，這使得第二延遲級之下拉元件418的輸入信號，即低位準振盪信號425之電位下降而使此下拉元件418關閉。但輸入下拉元件418的低位準振盪信號425會透過第一負載元件406將第二延遲級之上拉元件412的輸入信號，即高位準振盪信號427的電位緩慢地向下拉降，當此高位準振盪信號427降至某一特定電位時，則第二延遲級的上拉元件412將會被導通，並將輸出之高位準振盪信號221，傳送至後續之功能電路中。

以此類推，利用上拉元件與下拉元件交互傳遞高位準振盪信號與低位準振盪信號，由於所使用之負載元件本身具有之高電阻性可達到限流之功能，且與其所具有之高電容性，可使高位準振盪信號與低位準振盪信號有一相位差，避免掉上拉元件與下拉元件於同時導通時，在高工作電位與低工作電位之間產生一個暫時性的短路電流。使用大型負載元件來限制電流及避免短路電流，使得此振盪電路達到省電之目的。但須注意的是雖然負載元件所具有之高電阻性與高電容性對於長振盪週期有所貢獻，但是以高電阻性對於省電較有助益，若是高電容性與低電阻性的組合則反而對於省電毫無助益。在振盪電路中每一延遲級之高位準振盪信號及低位準振盪信號並非完全都是致能電路205輸入，例如，第二延遲級所輸入之高位準振盪信號427與低位準振盪信號425即是由第一延遲級所輸出而得，且每級其輸入與輸出信號互為反相。振盪延遲電路207主要

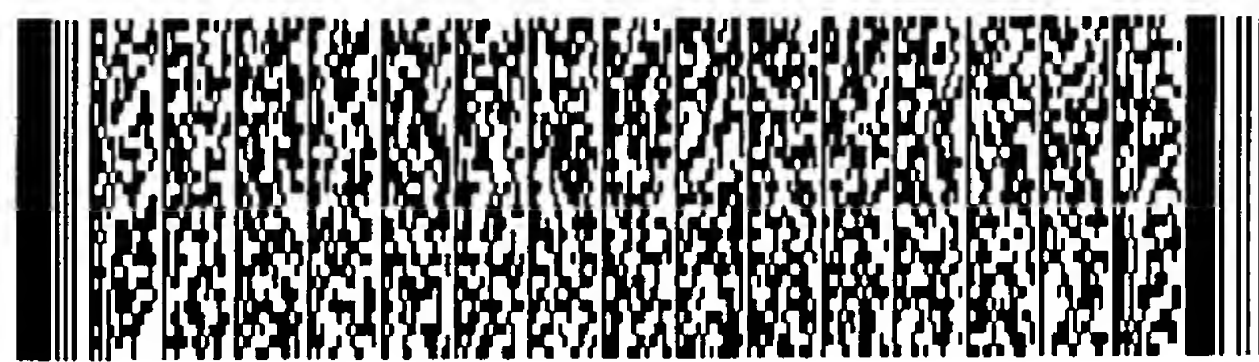
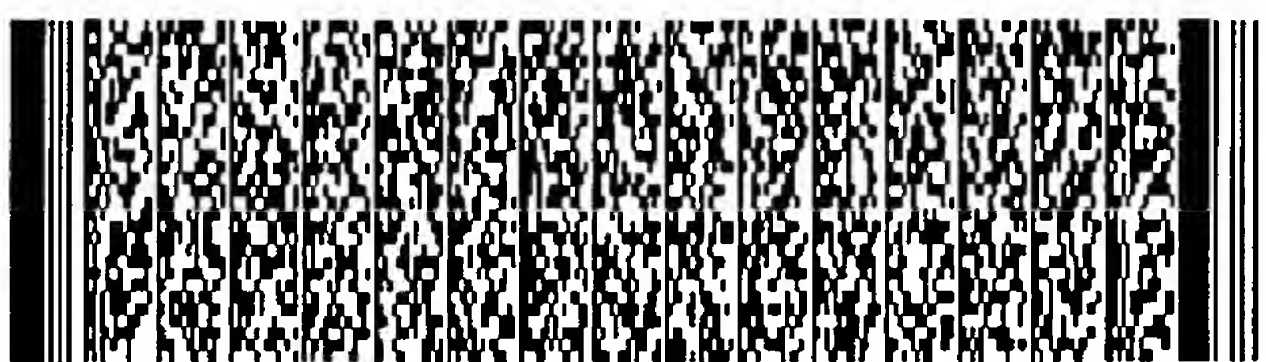


五、發明說明 (7)

利用負載元件產生非同相的高位準與低位準振盪信號，分別控制上拉元件與下拉元件的充放電動作。此負載元件除了可決定振盪週期的長短及電路的省電與否之外，同時可藉由提供不同電位之信號來限制回饋控制網路209中電流的大小。

接下來，請參照第5圖，其繪示根據第2圖之回饋控制網路之一較佳實施例之裝置方塊圖。在本發明的一個較佳實施例中，回饋控制網路209可以由單個反相器亦或是以複數個反相器來實現。其中每一個反相器是由一個P型半導體元件與一個N型半導體元件串接所組成。例如，圖中所繪示之P型半導體元件503與N型半導體元件505所組成之反相器。於接收由振盪延遲電路207所輸出之高位準振盪信號221與低位準振盪信號224後，修整上述信號之波形並輸出一個迴授控制信號215至致能電路205，藉此對振盪信號的相位進行重設動作。

在本發明之另一較佳實施例中，位於兩兩反相器中之外控反相器又可於P型半導體元件509上再行串接一個外加P型半導體元件507，以及於N型半導體元件511上再行串接一個外加N型半導體元件513，即完成如圖中所繪示之P型半導體元件509與N型半導體元件511所組成之反相器再行加上外加P型半導體元件507與外加N型半導體元件513之組合。外加P型半導體元件507連接於高工作電位與P型半導體元件509之間，外加N型半導體元件513則是連接於低工作電位與N型半導體元件511之間。

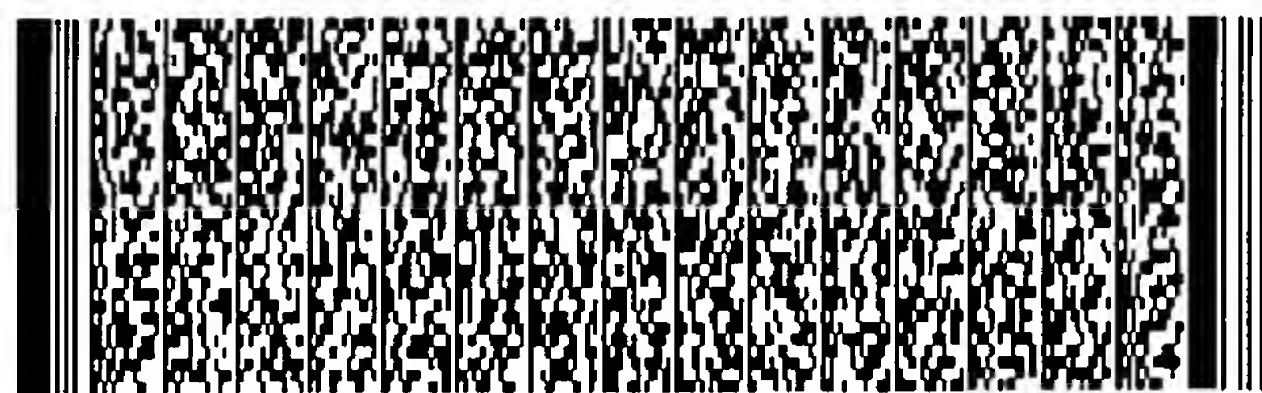
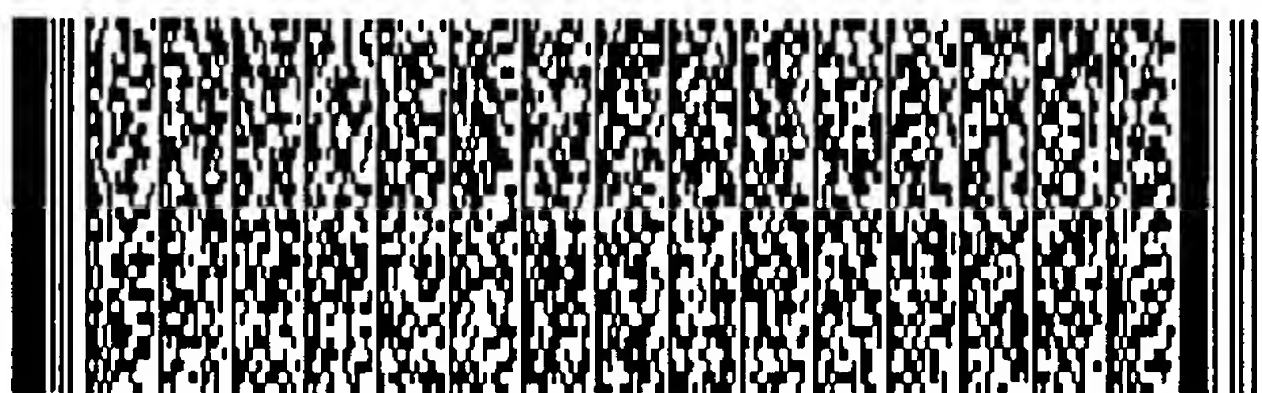


五、發明說明 (8)

此附加上之外加P型半導體元件507與外加N型半導體元件513分別接受振盪延遲電路207內由後往前推偶數級之延遲級所輸出之同相位的高位準與低位準振盪信號的輸入。在此實施例中，是接收振盪電路中第一延遲級所輸出之高位準振盪信號427與低位準振盪信號425的輸入。

回饋控制網路209最主要的工作是在於對振盪延遲電路207所輸出之信號221，224進行波形修整、時序調整等動作後，在回饋輸入至致能電路205中，以觸發下一次之振盪。所以，其中反相器接受延遲級輸出信號需與反相器電路輸入信號相位相匹配，否則會因為電晶體截止工作區的重疊造成振盪信號傳輸路徑中斷導致在振盪期間發生振盪無法持續的問題。此外，回饋控制網路209更可以外接一個緩衝元件211，此緩衝元件211可以是由單一個或複數個反相器串接而成。其作用為驅動後續之功能電路。

最後，請參照第6A、6B、6C、6D圖，其分別繪示於第5圖中所標示之523、221、224、526各點的模擬信號的波形圖，其中於時間軸所使用之符號t表示為二分之一週期。其中第6A圖是繪示523在反相器與下一級反相器之間的信號，為一個呈現完全擺幅之振盪信號。第6B圖是繪示自延遲級輸入回饋控制網路209前的高位準振盪信號221，由此圖可知此信號之振幅約為完全擺幅之振盪信號的二分之一。第6C圖是繪示自延遲級輸入回饋控制網路209前的低位準振盪信號224，由此圖可知此信號之振幅約為完全擺幅之振盪信號的二分之一。合併參照第6B圖及第6C圖可

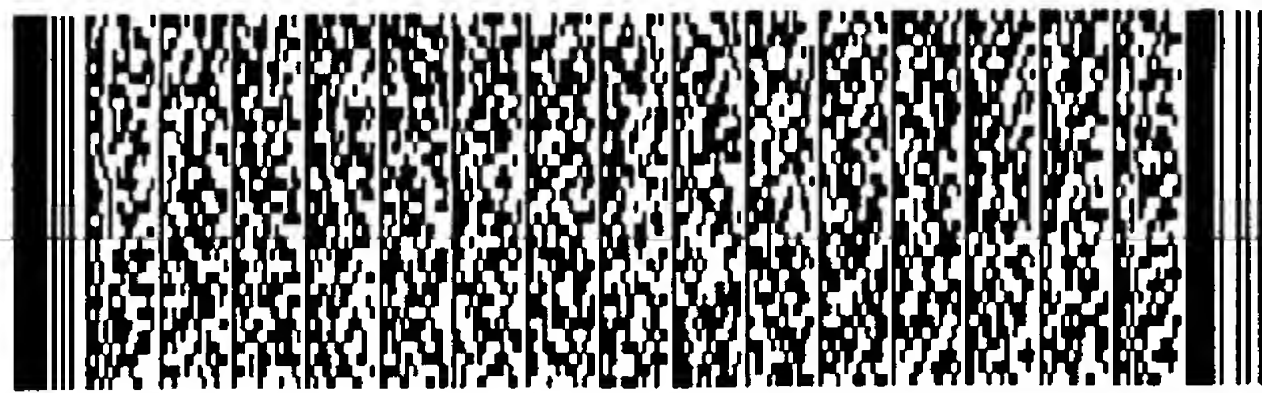
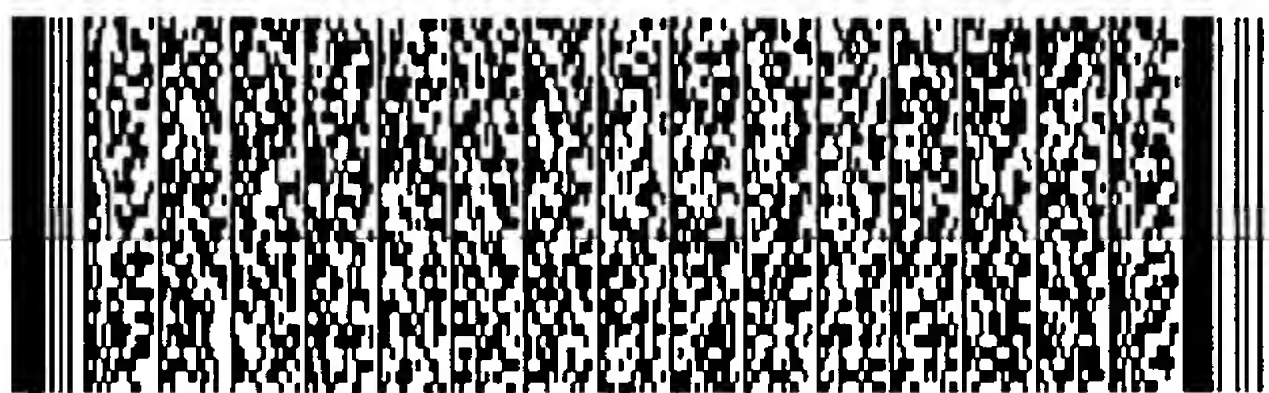


五、發明說明 (9)

知，接受高位準信號與低位準信號之元件，其工作區不會發生重疊。第6D圖繪示了外控反相器所輸出之迴授控制信號526其與523點的模擬信號，其幾乎呈現同樣的波形與振幅，但相位卻互為反相。

由於在上拉與下拉元件之間加入高電阻性之負載元件，確保振盪延遲電路207中，上拉元件與下拉元件不會有同時被導通的情況發生，因此避免掉短路電流的產生，使得振盪延遲電路207於正常工作電壓下也能達到省電之目的。其中高電阻性之負載元件可以使用主動元件來實現。此外，由於將振盪信號交互產生出高位準與低位準振盪信號分別於高電位區域與低電位區域中進行振盪，無須進行完全擺幅的充放電動作，亦可達到節省電能之目的。這是因為消耗之電能與電位的平方成正比關係，也就是說當電位變為原來的二分之一時，所消耗之電能理想上可減至原來的四分之一。熟悉此技術者並定可知，本實施例之振盪電路事實上係為一種環狀振盪電路，雖然在此是以此方式實現，但於實際應用上並無須以此實施例為限。

雖然本發明已以一較佳實施例揭露如上，然其並非用精確和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是繪示習知技術之環狀振盪器的方塊示意圖。

第2圖是繪示依照本發明的一個較佳實施例的低耗能振盪電路的方塊示意圖。

第3圖是繪示根據第2圖之致能電路之一較佳實施例之裝置方塊圖。

第4圖是繪示根據第2圖之振盪延遲電路之一較佳實施例之裝置方塊圖。

第5圖是繪示根據第2圖之回饋控制網路之一較佳實施例之裝置方塊圖。

第6A圖是繪示第5圖中所標示之523點的模擬信號的波形圖。

第6B圖是繪示第5圖中所標示之221點的模擬信號的波形圖。

第6C圖是繪示第5圖中所標示之224點的模擬信號的波形圖。

第6D圖是繪示第5圖中所標示之526點的模擬信號的波形圖。

圖式標記說明：

102：定電壓產生電路

104：反相電路

106：定電流元件

205：致能電路

207：振盪延遲電路

209：回饋控制網路



圖式簡單說明

- 211 : 緩衝元件
- 213 : 致能信號
- 215 : 迴授控制信號
- 217、221、427 : 高位準振盪信號
- 219、224、425 : 低位準振盪信號
- 302、308、503、507、509 : P型半導體元件
- 304、310、505、511、513 : N型半導體元件
- 306 : 負載元件
- 315 : P型半導體組合
- 317 : N型半導體組合
- 403 : 第一上拉元件
- 406 : 第一負載元件
- 409 : 第一下拉元件
- 412 : 第二上拉元件
- 415 : 第二負載元件
- 418 : 第二下拉元件
- 421 : 第一輸出端
- 423 : 第二輸出端
- 429 : 第一輸出端
- 431 : 第二輸出端



六、申請專利範圍

1. 一種低耗能振盪電路，該振盪電路依據一致能信號啟動一初始振盪操作，且依據一高工作電位與一低工作電位進行操作，包括：

一致能電路，於該初始振盪操作後，依據一迴授控制信號輸出一起始振盪信號；

一振盪延遲電路，耦接至該致能電路，自該致能電路接收該起始振盪信號，並根據該起始振盪信號交互產生出於一高電位區域之間振盪之一高位準振盪信號及於一低電位區域之間振盪之一低位準振盪信號，其中，該高電位區域介於該高工作電位與高於該低工作電位之一低限電位間，該低電位區域介於該低工作電位與低於該高工作電位之一上限電位間；以及

一回饋控制網路，耦接至該振盪延遲電路，整合該高位準振盪信號及該低位準振盪信號為該迴授控制信號，並輸出該迴授控制信號至該致能電路。

2. 如申請專利範圍第1項所述之低耗能振盪電路，其中該致能電路所產生之該起始振盪信號包含分別在該高電位區域與該低電位區域中振盪之二部分信號。

3. 如申請專利範圍第2項所述之低耗能振盪電路，其中，該致能電路包括：

一P型半導體元件組合，電性耦接至該高工作電位，依據該迴授控制信號，輸出該高位準振盪信號；

一N型半導體元件組合，電性耦接至該低工作電位，依據該迴授控制信號，輸出該低位準振盪信號；以及



六、申請專利範圍

一負載元件，電性耦接於該P型半導體元件組合與該N型半導體元件組合之間。

4. 如申請專利範圍第2項所述之低耗能振盪電路，其中，該振盪延遲電路包括一延遲級。

5. 如申請專利範圍第4項所述之低耗能振盪電路，其中，該延遲級包括：

一上拉元件，電性耦接於該高工作電位，接收由該致能電路所產生之在該高位準振盪信號；

一下拉元件，電性耦接於該低工作電位，接收由該致能電路所產生之在該低位準振盪信號；

一負載元件，耦接於該上拉元件與該下拉元件之間；

一第一輸出端，電性耦接於該上拉元件與該負載元件之間，以輸出該高位準振盪信號至該回饋控制網路；以及

一第二輸出端，電性耦接於該下拉元件與該負載元件之間，以輸出該低位準振盪信號至該回饋控制網路。

6. 如申請專利範圍第2項所述之低耗能振盪電路，其中，該振盪延遲電路包括複數個延遲級。

7. 如申請專利範圍第6項所述之低耗能振盪電路，其中，該些延遲級包括：

一第一延遲級，電性耦接至該致能電路；以及

複數個後級延遲級，該些後級延遲級，由各延遲級串接所組成，其中，一第二延遲級電性耦接至該第一延遲級，一輸出延遲級電性耦接至該回饋控制網路。

8. 如申請專利範圍第7項所述之低耗能振盪電路，其



六、申請專利範圍

中，該第一延遲級包括：

一上拉元件，電性耦接於該高工作電位，接收由該致能電路所產生之該高位準振盪信號；

一下拉元件，電性耦接於該低工作電位，接收由該致能電路所產生之該低位準振盪信號；

一負載元件，耦接於該上拉元件與該下拉元件之間；

一第一輸出端，電性耦接於該上拉元件與該負載元件之間，以輸出該高位準振盪信號至該第二延遲級；以及

一第二輸出端，電性耦接於該下拉元件與該負載元件之間，以輸出該低位準振盪信號至該第二延遲級。

9. 如申請專利範圍第7項所述之低耗能振盪電路，其中，該些後級延遲級包括：

一上拉元件，電性耦接於該高工作電位，接收由該上拉元件之前級所產生之該高位準振盪信號；

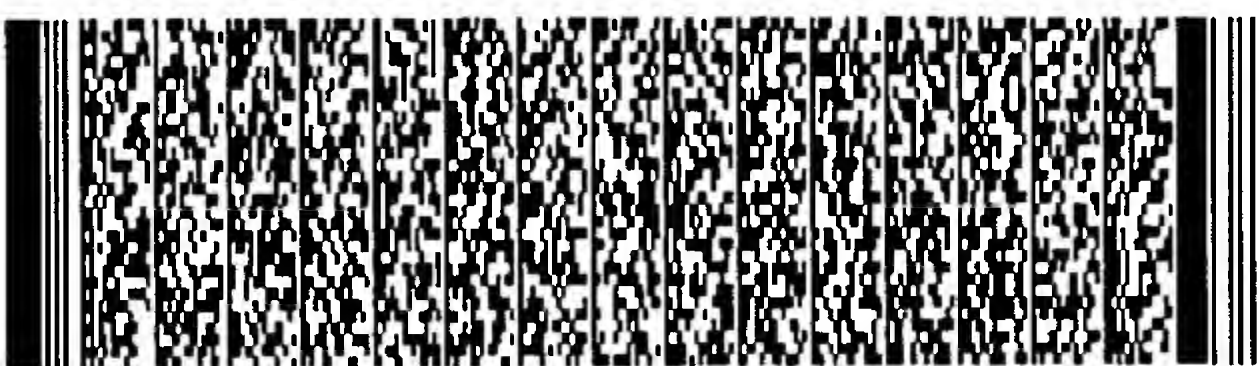
一下拉元件，電性耦接於該低工作電位，接收由該下拉元件之前級所產生之該低位準振盪信號；

一負載元件，耦接於該上拉元件與該下拉元件之間；

一第一輸出端，電性耦接於該上拉元件與該負載元件之間，以輸出該高位準振盪信號至該上拉元件之後級；以及

一第二輸出端，電性耦接於該下拉元件與該負載元件之間，以輸出該低位準振盪信號至該下拉元件之後級。

10. 如申請專利範圍第6項所述之低耗能振盪電路，其中，該回饋控制網路係為複數個反相器所組成，該些反相



六、申請專利範圍

器包括：

複數個反相器，該些反相器係各為一P型半導體元件與一N型半導體元件所組成；以及

複數個外控反相器，該些外控反相器包括該P型半導體元件與該N型半導體元件，及一外加P型半導體元件與一外加N型半導體元件。

其中，該回饋控制網路係由該些反相器與該些外控反相器交錯串接所組成。

11. 如申請專利範圍第10項所述之低耗能振盪電路，其中，該些外控反相器包括：

一外加P型半導體元件，該外加P型半導體元件耦接於該高工作電位與該P型半導體元件之間，用以接收由後往前為偶數級之一延遲級所輸出之該高位準振盪信號；以及

一外加N型半導體元件，該外加N型半導體元件耦接於該低工作電位與該N型半導體元件之間，用以接收由後往前為偶數級之該延遲級所輸出之該低位準振盪信號。

12. 如申請專利範圍第1項所述之低耗能振盪電路，其中，該振盪延遲電路包括一延遲級。

13. 如申請專利範圍第12項所述之低耗能振盪電路，其中，該延遲級包括：

一上拉元件，電性耦接於該高工作電位，接收該起始振盪信號；

一下拉元件，電性耦接於該低工作電位，接收該起始振盪信號；



六、申請專利範圍

一負載元件，耦接於該上拉元件與該下拉元件之間；

一第一輸出端，電性耦接於該上拉元件與該負載元件之間，以輸出該高位準振盪信號；以及

一第二輸出端，電性耦接於該下拉元件與該負載元件之間，以輸出該低位準振盪信號。

14. 如申請專利範圍第1項所述之低耗能振盪電路，其中，該振盪延遲電路包括複數個延遲級。

15. 如申請專利範圍第14項所述之低耗能振盪電路，其中，該些延遲級包括：

一第一延遲級，電性耦接至該致能電路；以及

複數個後級延遲級，該些後級延遲級，由各延遲級串接所組成，其中，一第二延遲級電性耦接至該第一延遲級，一輸出延遲級電性耦接至該回饋控制網路。

16. 如申請專利範圍第15項所述之低耗能振盪電路，其中，該第一延遲級包括：

一上拉元件，電性耦接於該高工作電位，接收該起始振盪信號；

一下拉元件，電性耦接於該低工作電位，接收該起始振盪信號；

一負載元件，耦接於該上拉元件與該下拉元件之間；

一第一輸出端，電性耦接於該上拉元件與該負載元件之間，以輸出該高位準振盪信號至該第二延遲級；以及

一第二輸出端，電性耦接於該下拉元件與該負載元件之間，以輸出該低位準振盪信號至該第二延遲級。



六、申請專利範圍

17. 如申請專利範圍第15項所述之低耗能振盪電路，其中，該些後級延遲級包括：

一上拉元件，電性耦接於該高工作電位，接收該上拉元件之前級所產生之高位準振盪信號；

一下拉元件，電性耦接於該低工作電位，接收該下拉元件之前級所產生之低位準振盪信號；

一負載元件，耦接於該上拉元件與該下拉元件之間；

一第一輸出端，電性耦接於該上拉元件與該負載元件之間，以輸出該高位準振盪信號；以及

一第二輸出端，電性耦接於該下拉元件與該負載元件之間，以輸出該低位準振盪信號。

18. 如申請專利範圍第14項所述之低耗能振盪電路，其中，該回饋控制網路係為複數個反相器與複數個外控反相器交錯串接所組成。

19. 如申請專利範圍第18項所述之低耗能振盪電路，其中，該些外控反相器包括：

一反相器，該反相器係由一P型半導體元件與一N型半導體元件串接組成；

一外加P型半導體元件，該外加P型半導體元件耦接於該高工作電位與該P型半導體元件之間，用以接收由後往前為偶數級之一延遲級所輸出之該高位準振盪信號；以及

一外加N型半導體元件，該外加N型半導體元件耦接於該低工作電位與該N型半導體元件之間，用以接收由後往前為偶數級之該延遲級所輸出之該低位準振盪信號。



六、申請專利範圍

20. 一種低耗能振盪電路之延遲級，根據一高工作電位與一低工作電位進行操作，包括：

一上拉元件，電性耦接於該高工作電位，接收一第一信號；

一下拉元件，電性耦接於該低工作電位，接收一第二信號；

一負載元件，耦接於該上拉元件與該下拉元件之間；

一第一輸出端，電性耦接於該上拉元件與該負載元件之間，輸出於一高電位區域之間振盪之信號；以及

一第二輸出端，電性耦接於該下拉元件與該負載元件之間，輸出於一低電位區域之間振盪之信號；

其中，該高電位區域介於該高工作電位與高於該低工作電位之一低限電位間，該低電位區域介於該低工作電位與低於該高工作電位之一上限電位間。

21. 如申請專利範圍第20項所述之低耗能振盪電路之延遲級，其中該第一信號與該第二信號係為相同信號。

22. 如申請專利範圍第20項所述之低耗能振盪電路之延遲級，其中該上拉元件包括P型半導體。

23. 如申請專利範圍第20項所述之低耗能振盪電路之延遲級，其中該下拉元件包括N型半導體。

24. 如申請專利範圍第20項所述之低耗能振盪電路之延遲級，其中，該負載元件包括主動式元件。

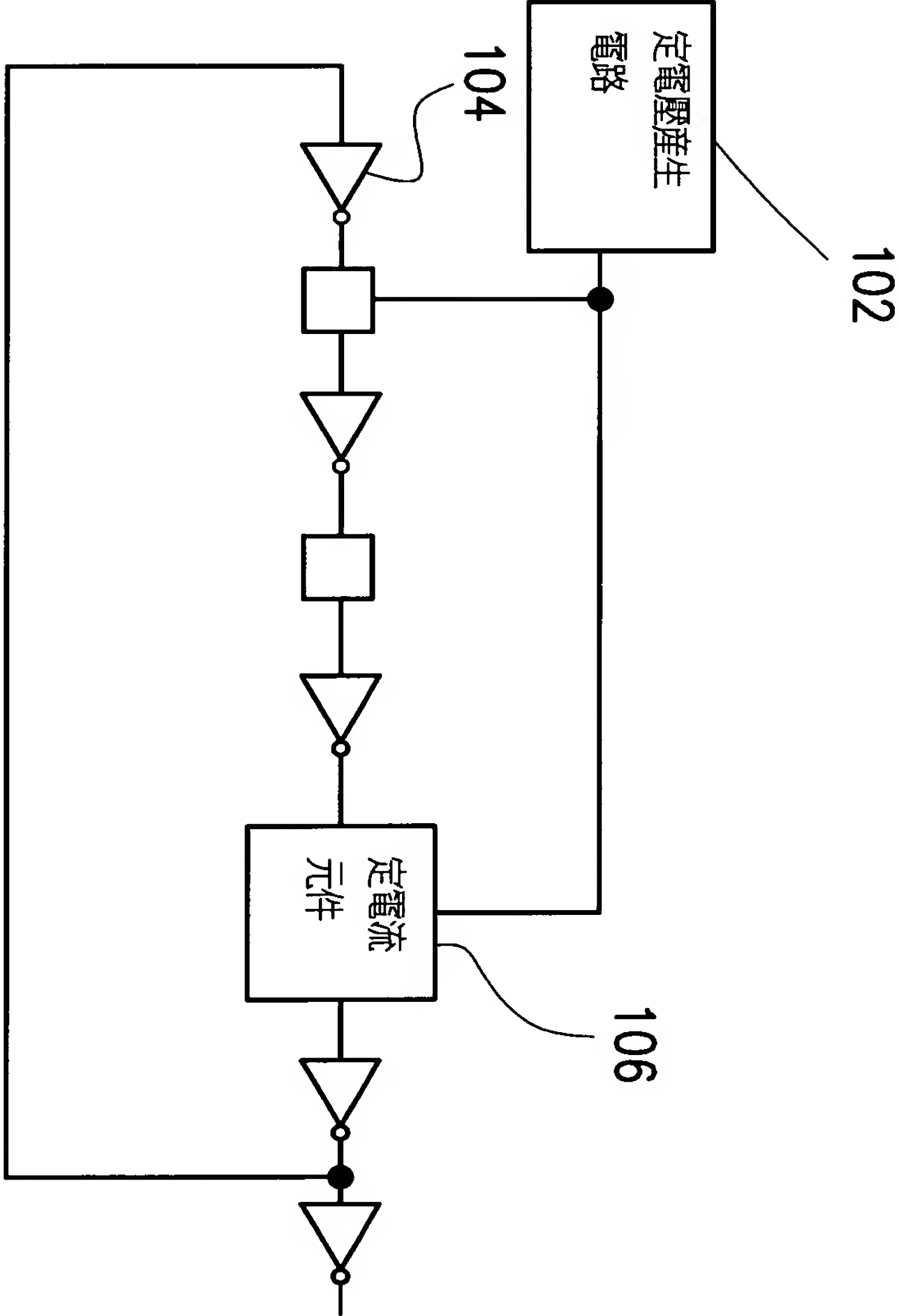
25. 如申請專利範圍第1項所述之低耗能振盪電路，其中，該回饋控制網路係為一反相器。



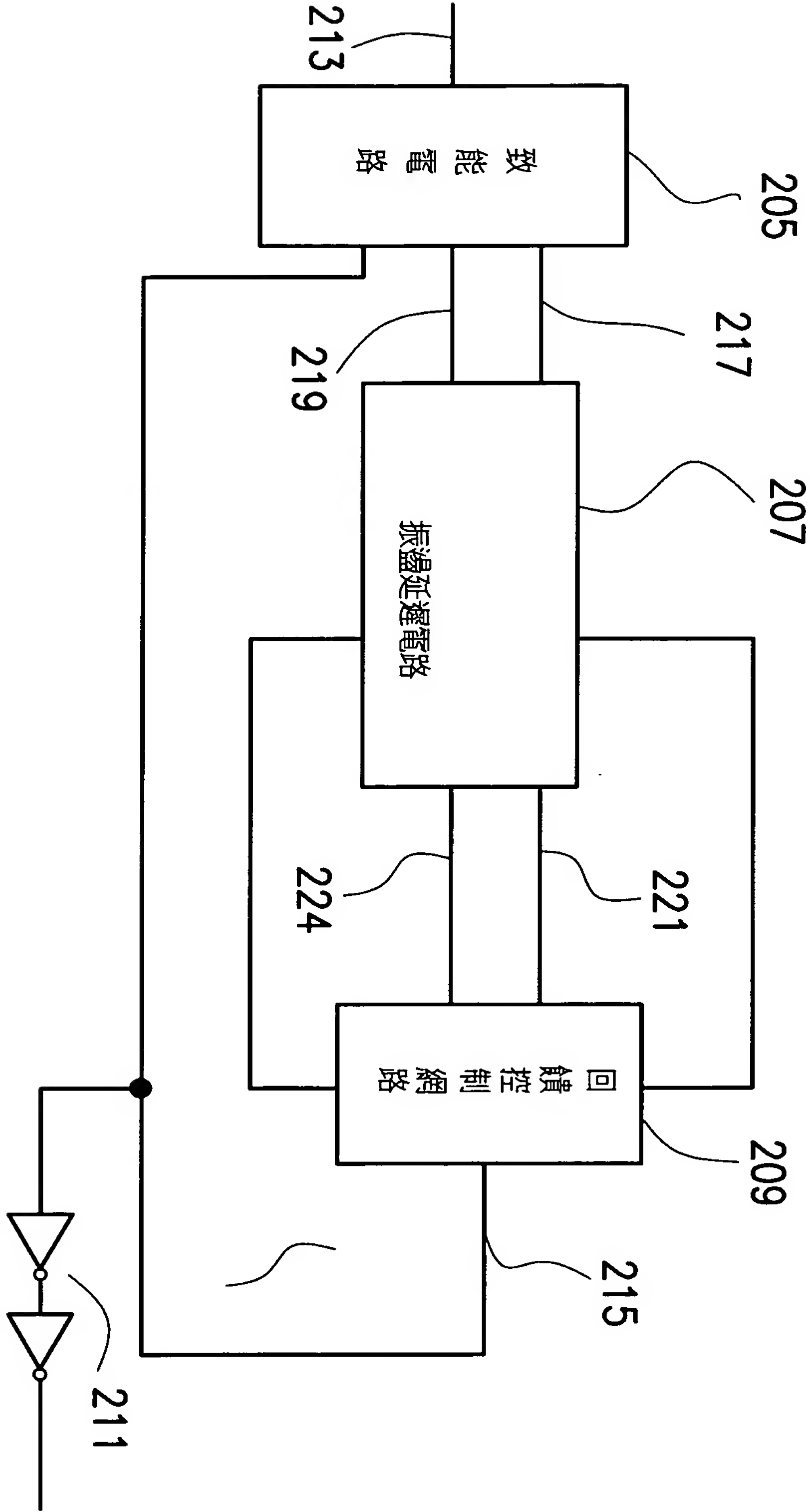
六、申請專利範圍

26. 如申請專利範圍第25項所述之低耗能振盪電路，其中，該反相器係由一P型半導體元件與一N型半導體元件串接所組成。

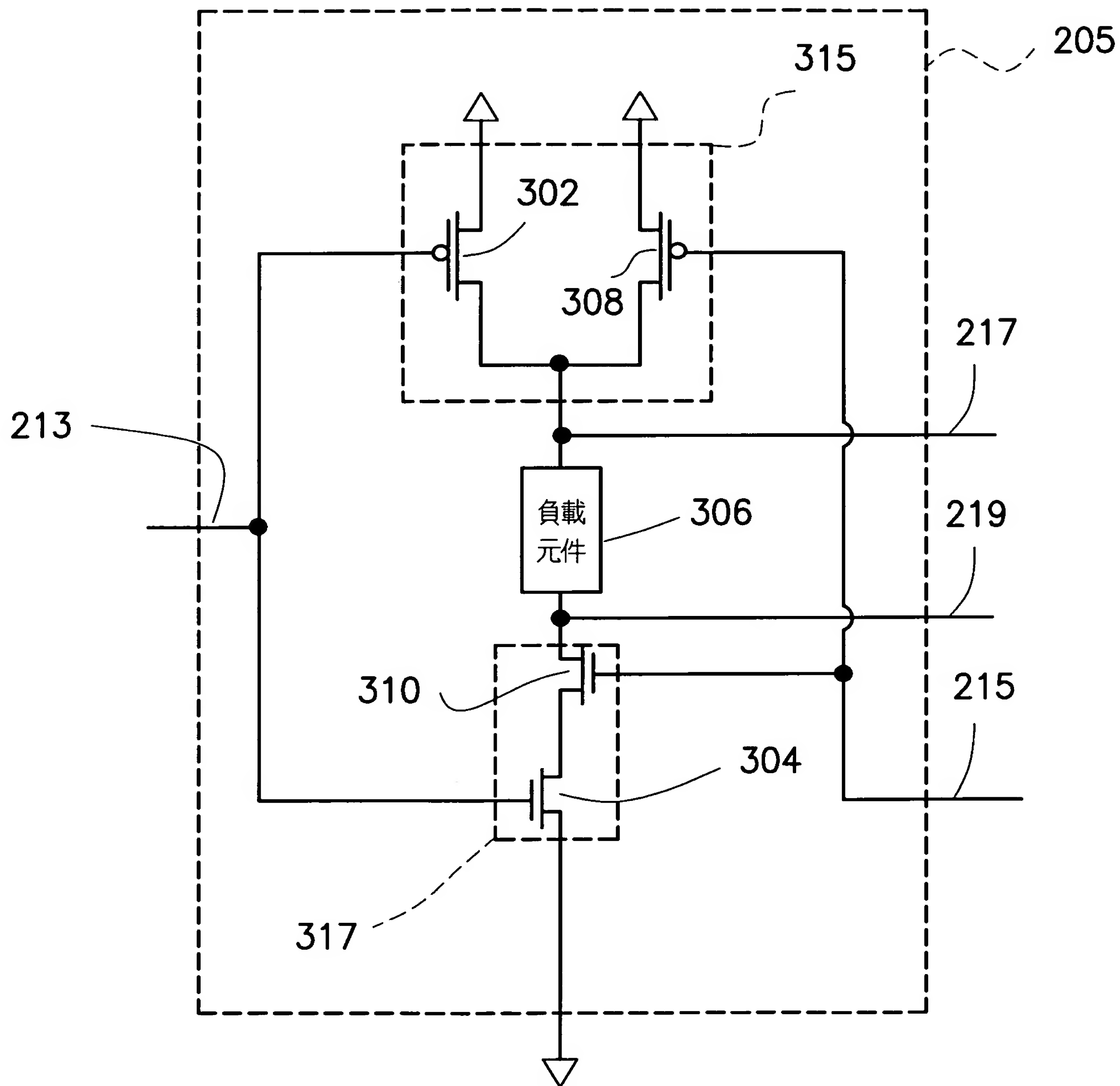




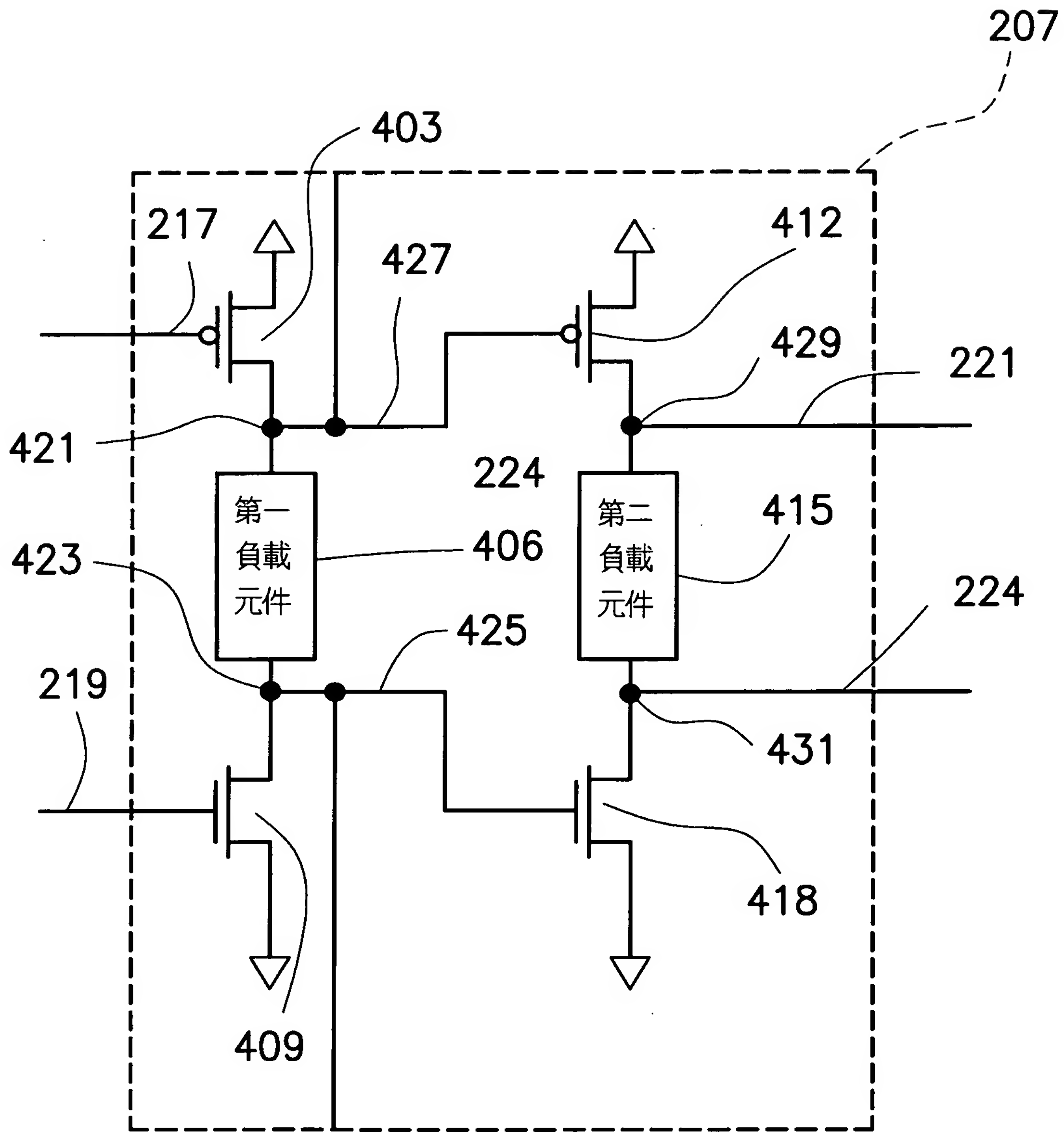
第1圖



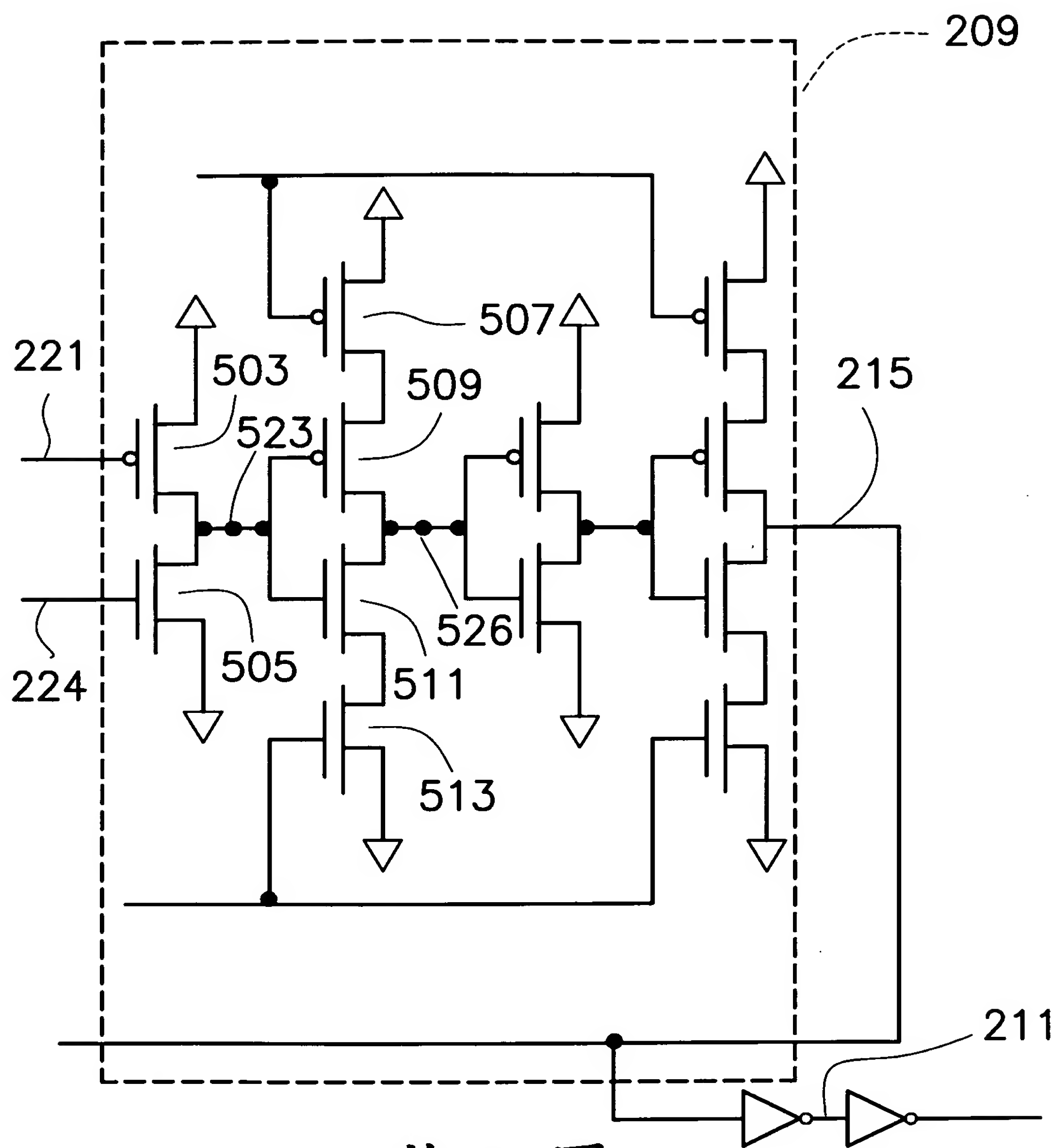
第 2 圖



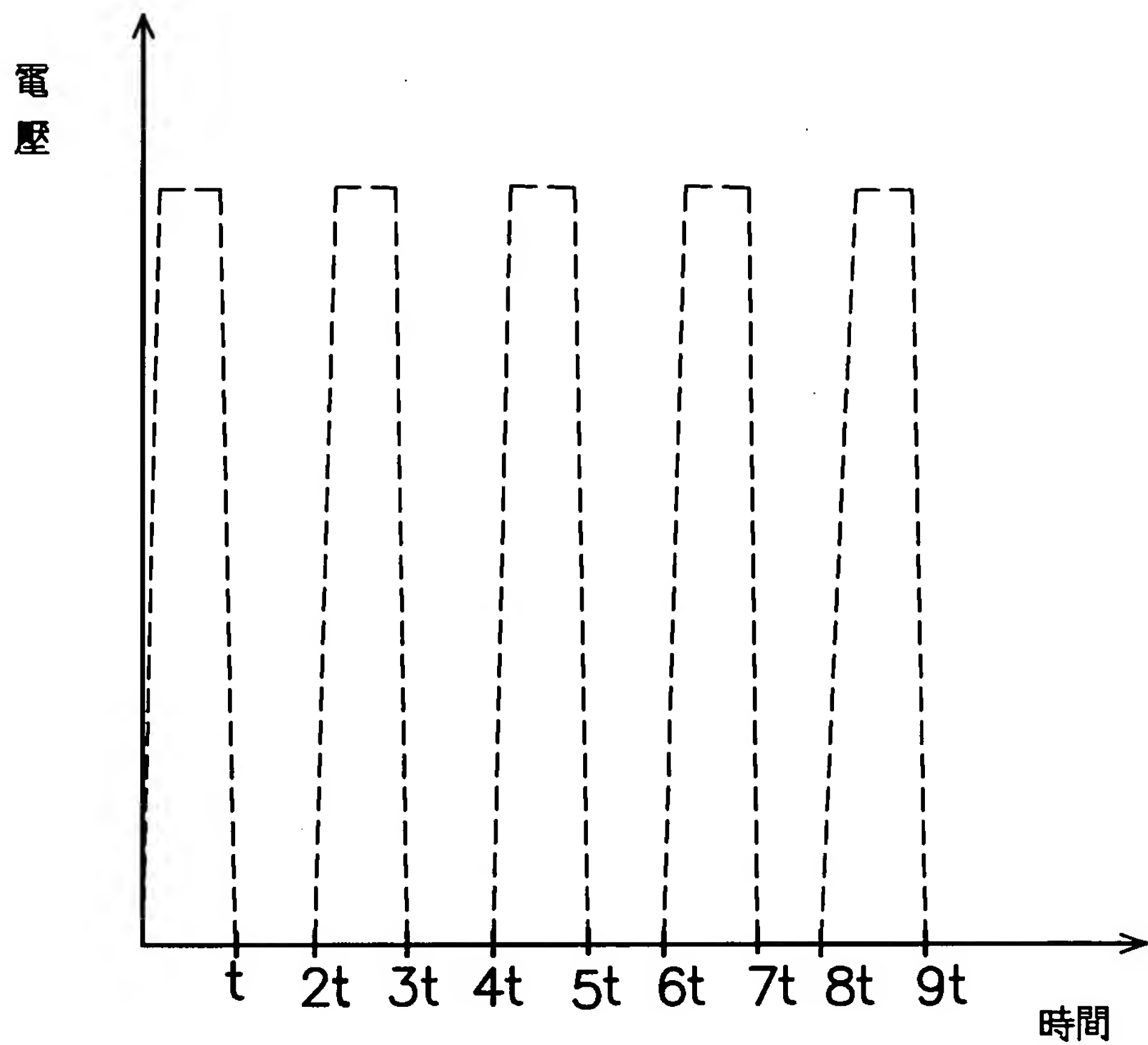
第 3 圖



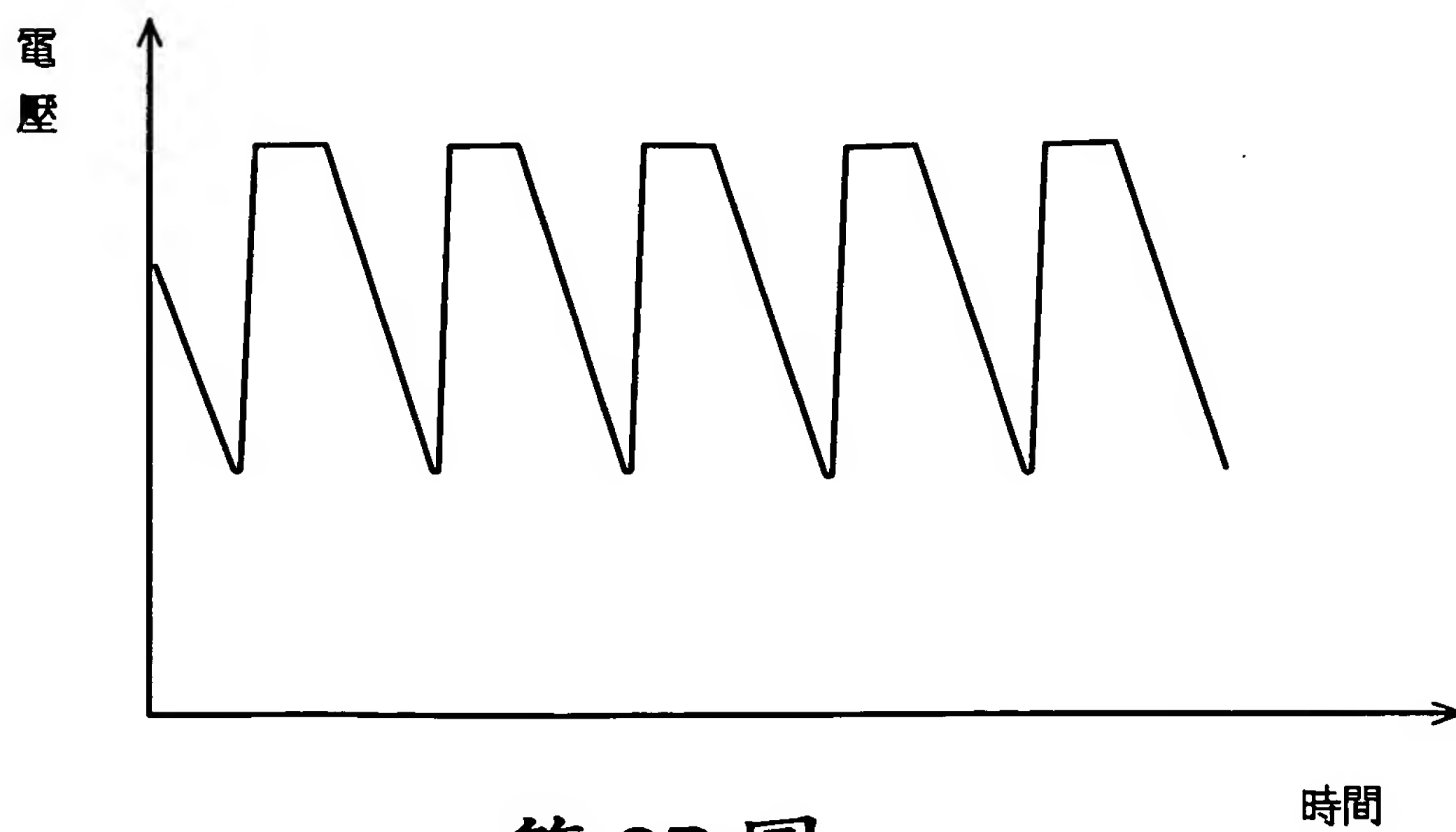
第 4 圖



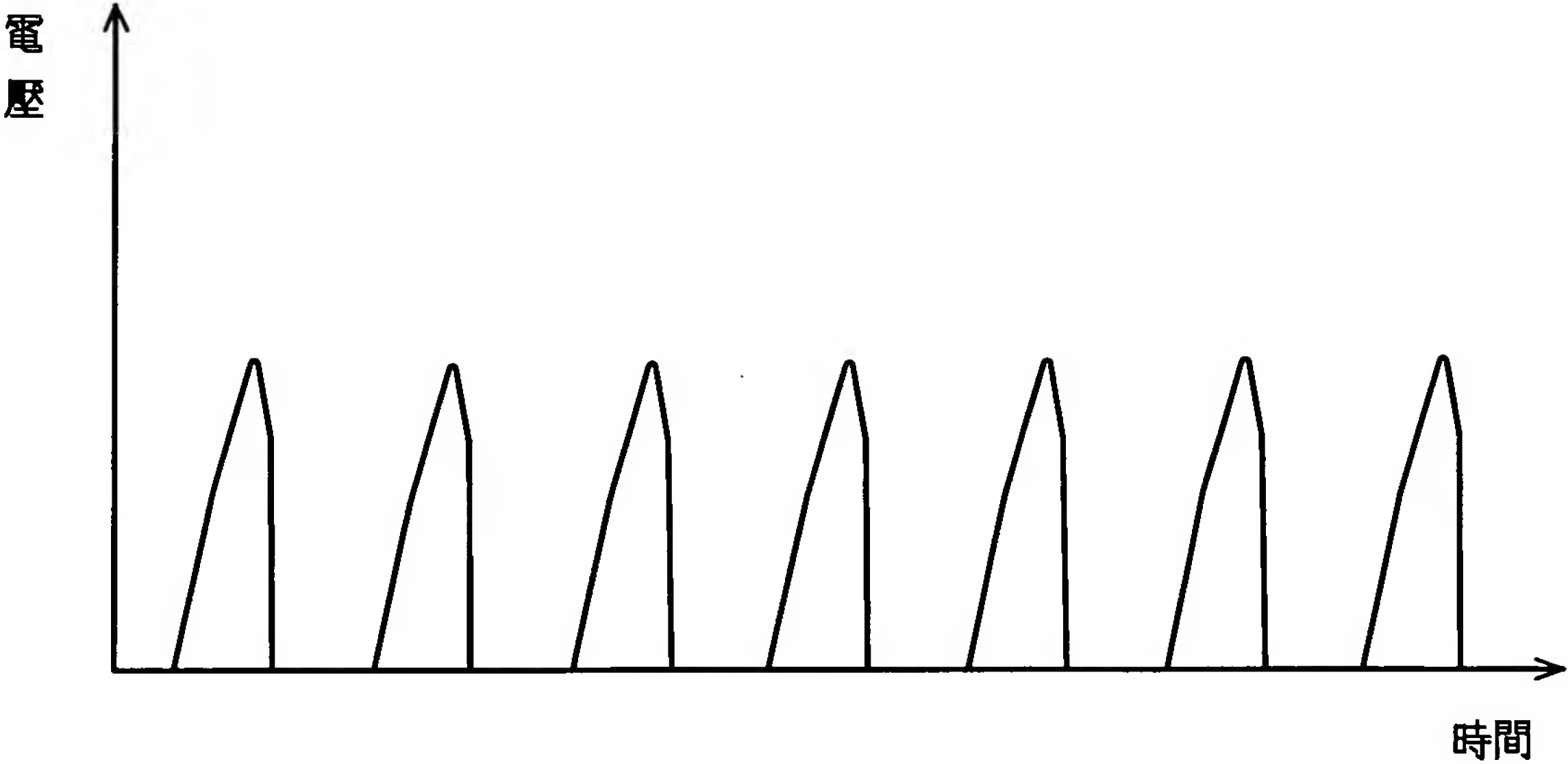
第 5 圖



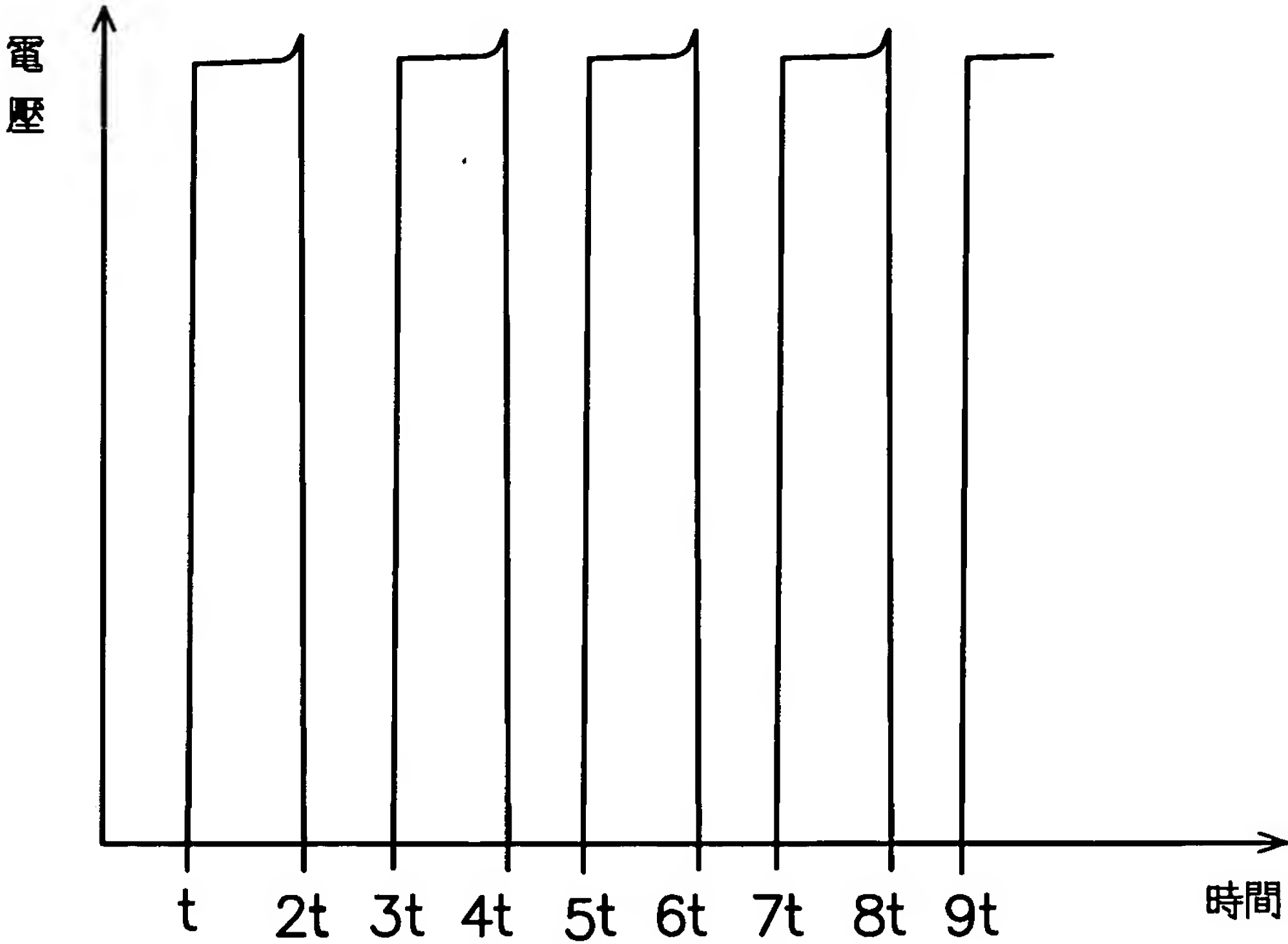
第 6A 圖



第 6B 圖



第 6C 圖

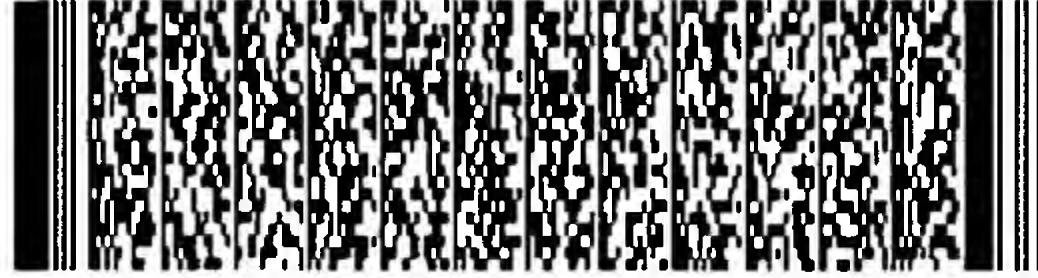


第 6D 圖

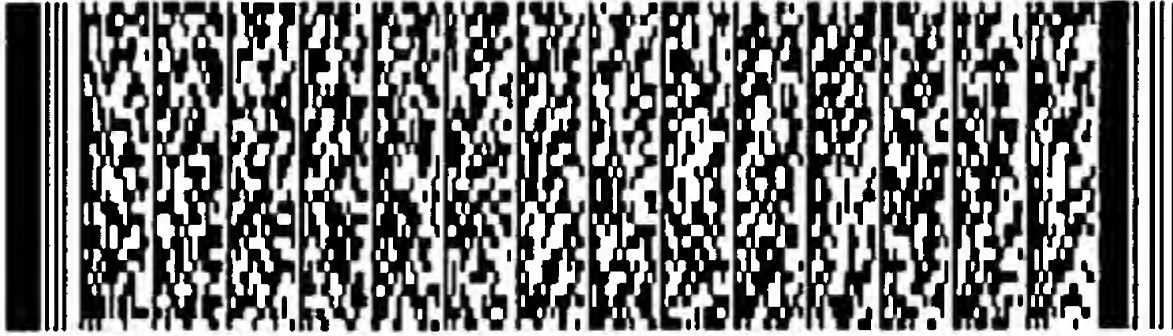
第 1/26 頁



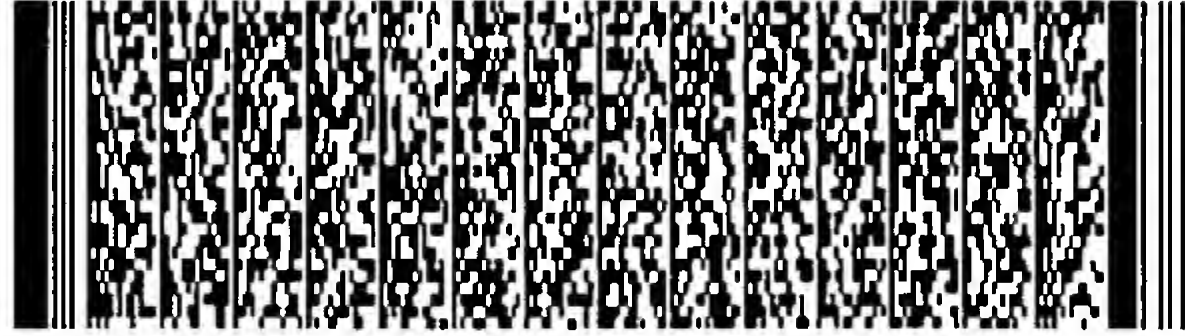
第 2/26 頁



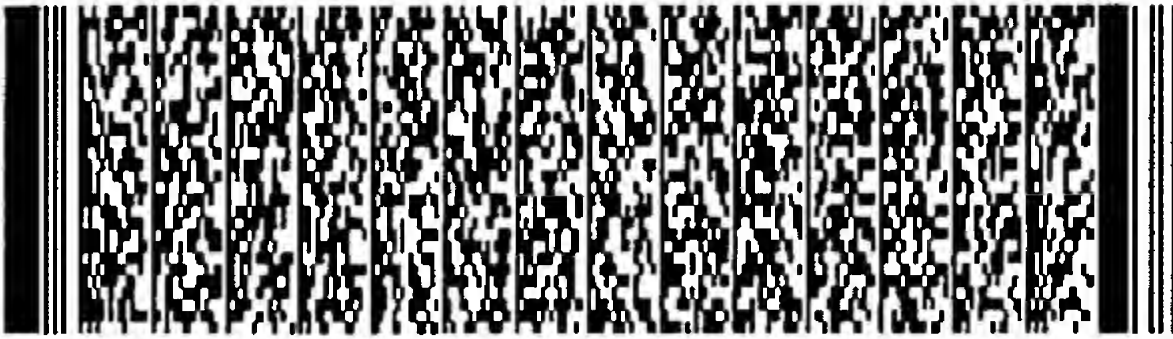
第 3/26 頁



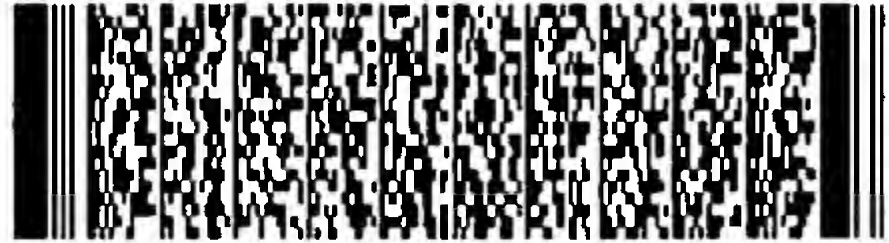
第 3/26 頁



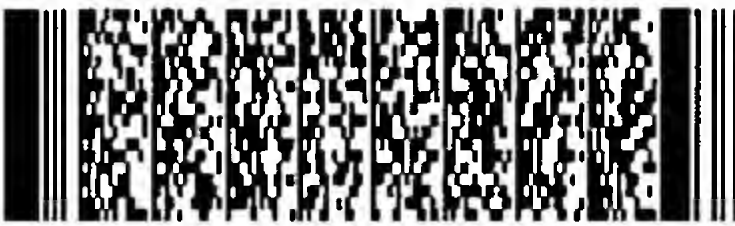
第 4/26 頁



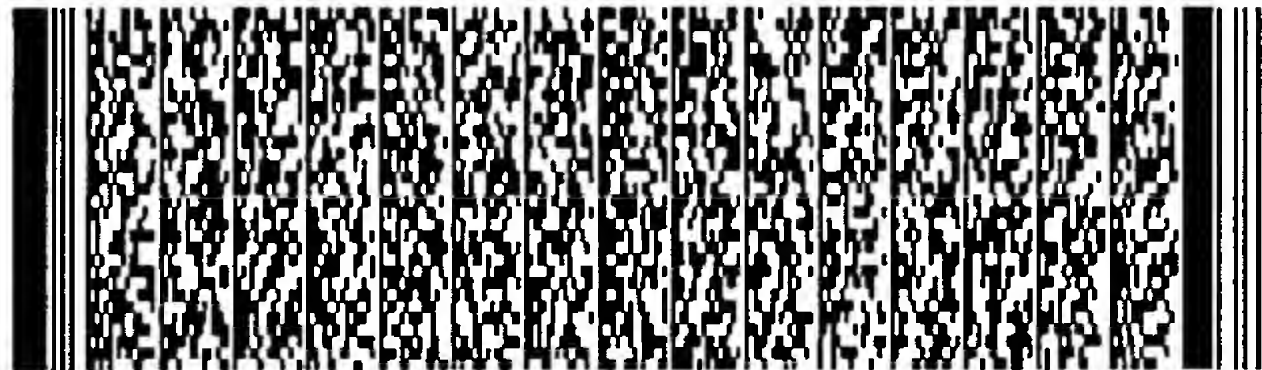
第 5/26 頁



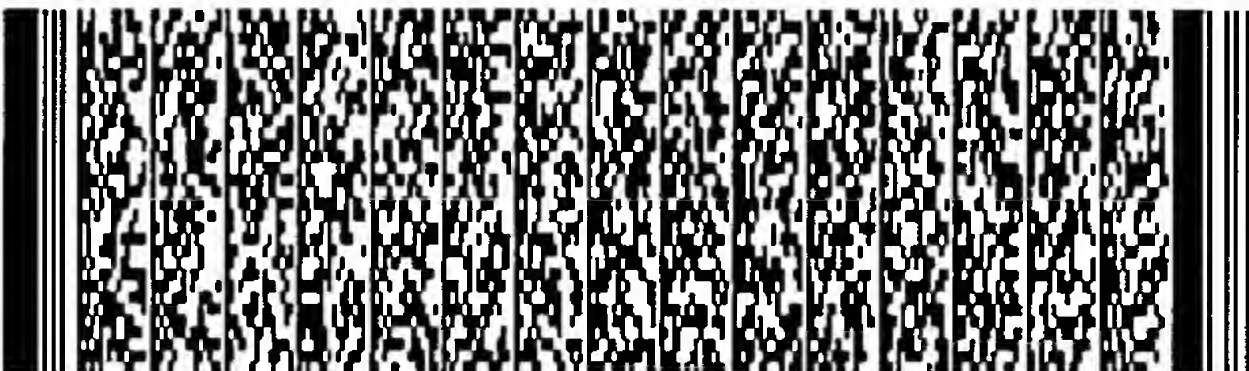
第 7/26 頁



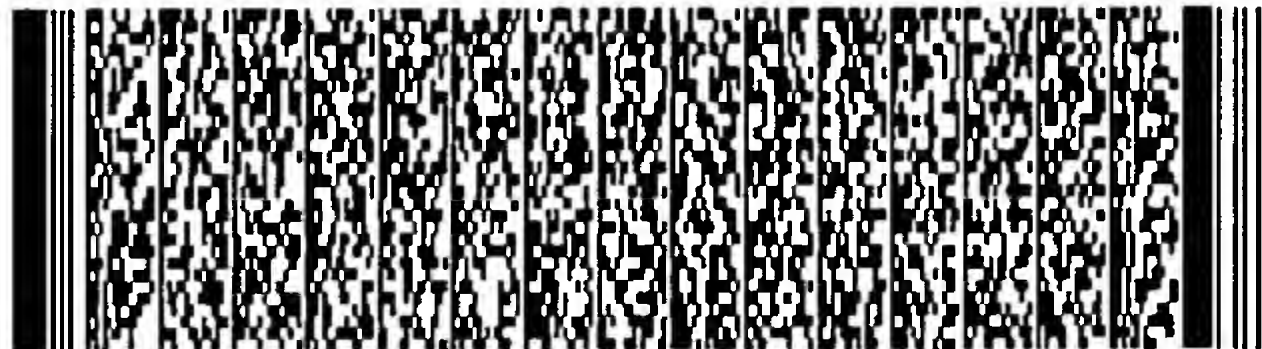
第 8/26 頁



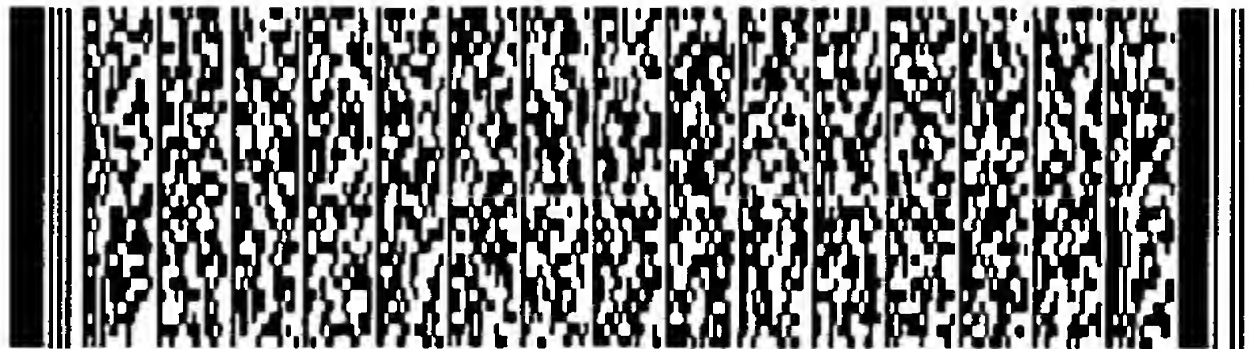
第 8/26 頁



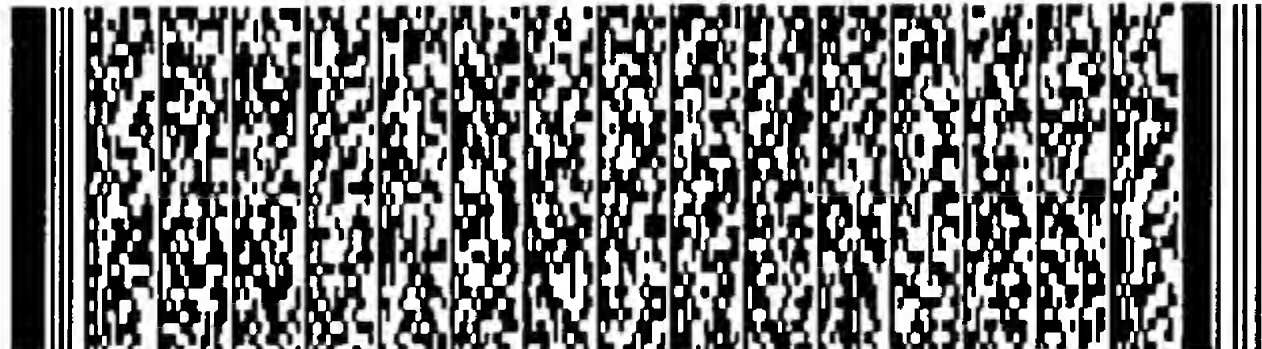
第 9/26 頁



第 9/26 頁



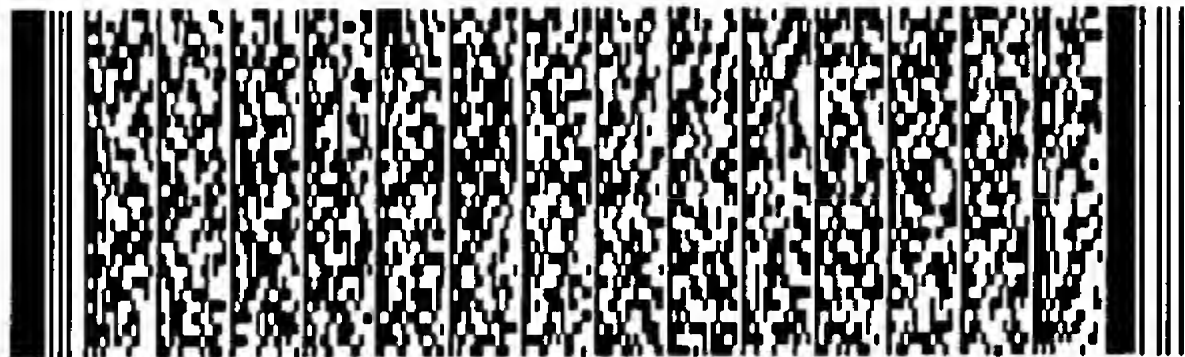
第 10/26 頁



第 10/26 頁



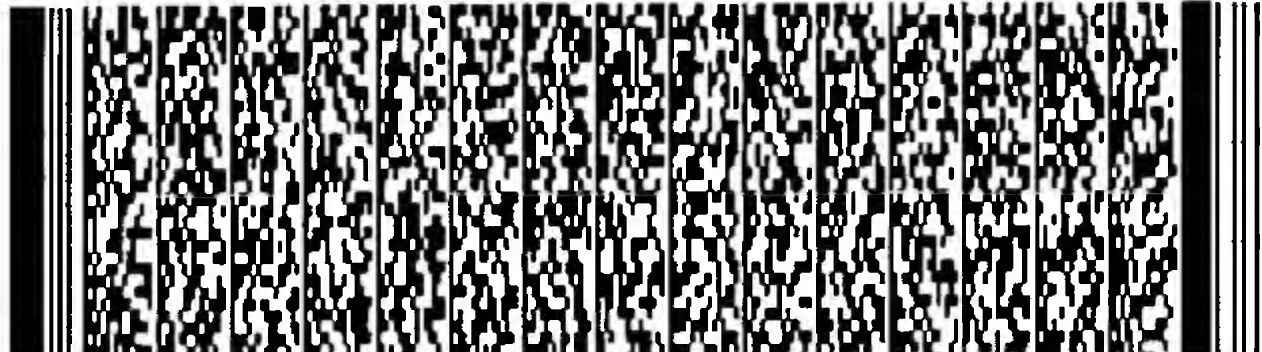
第 11/26 頁



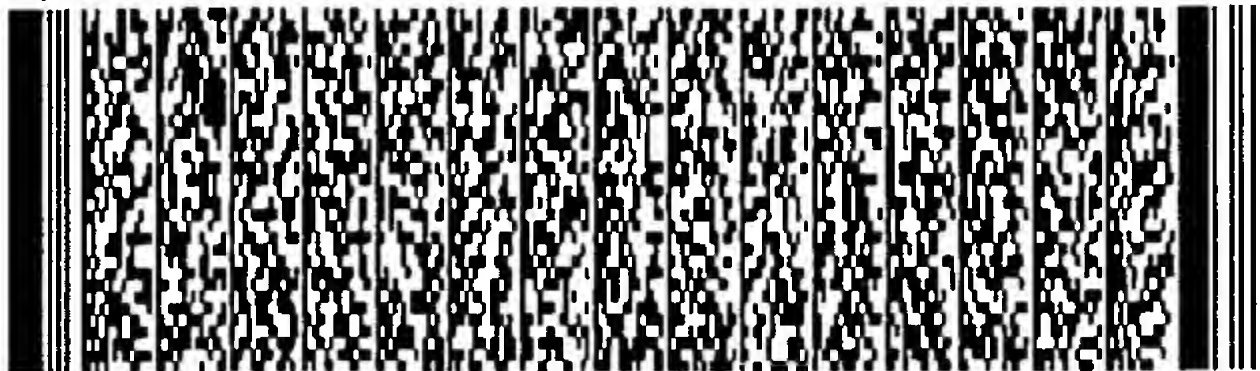
第 11/26 頁



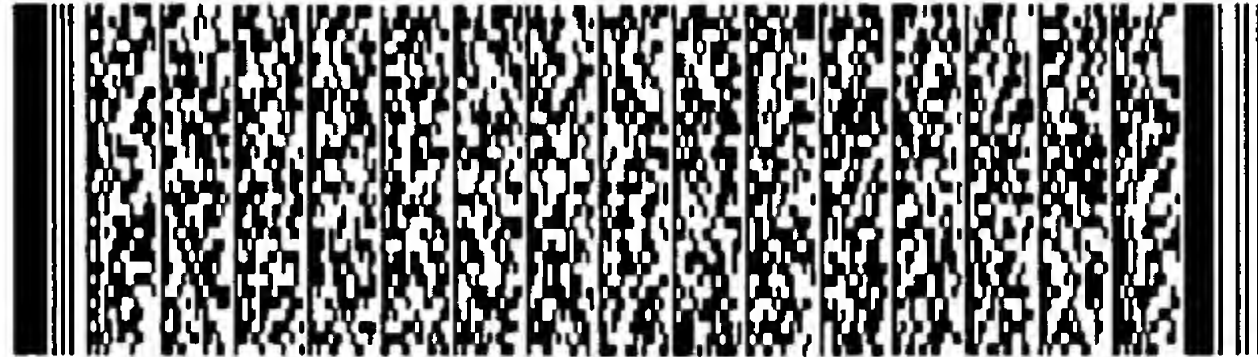
第 12/26 頁



第 12/26 頁



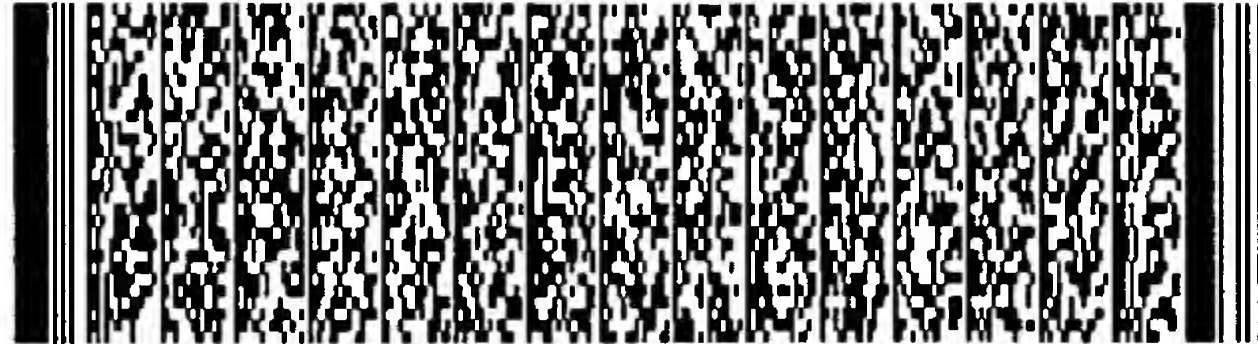
第 13/26 頁



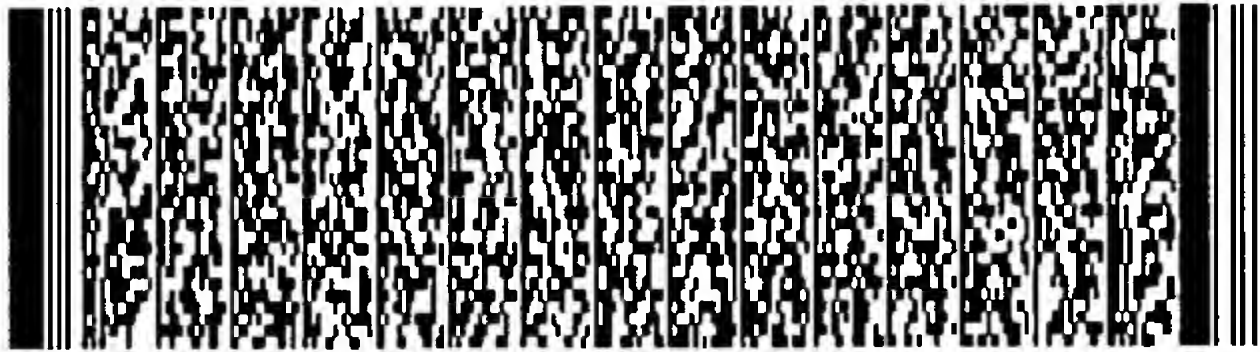
第 13/26 頁



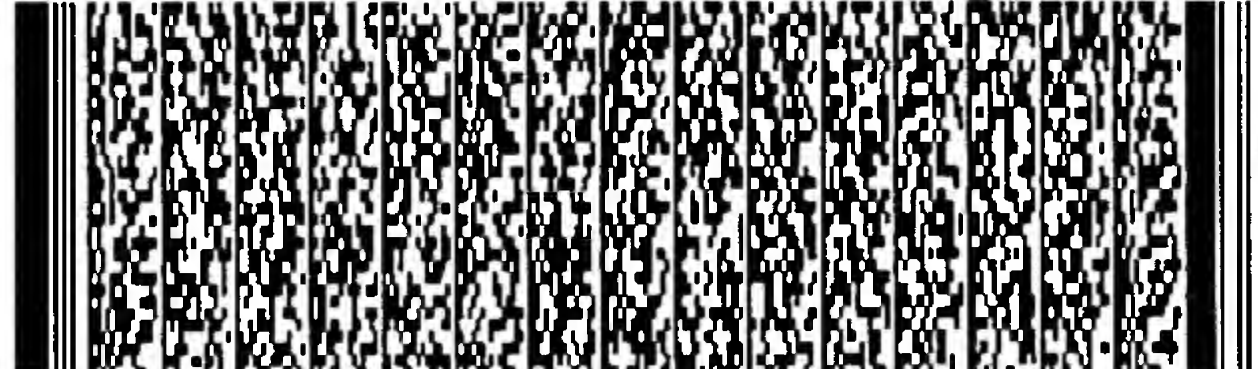
第 14/26 頁



第 14/26 頁



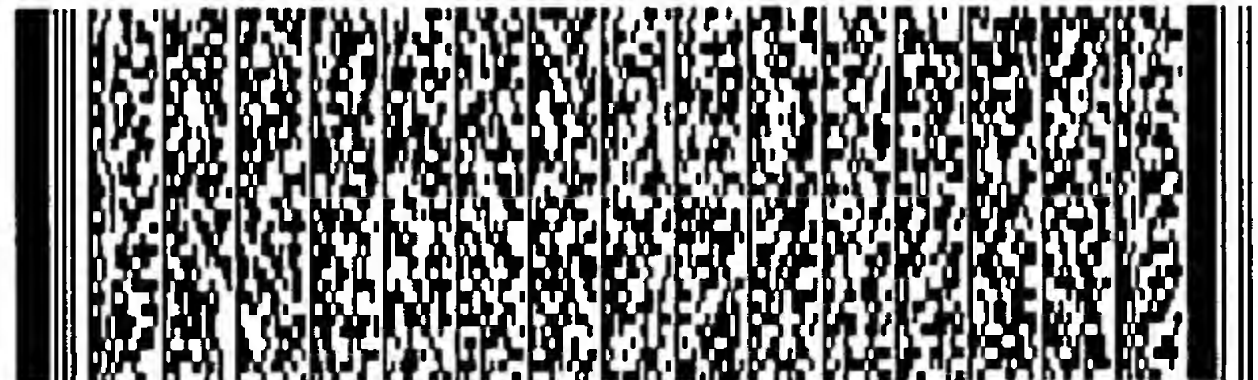
第 15/26 頁



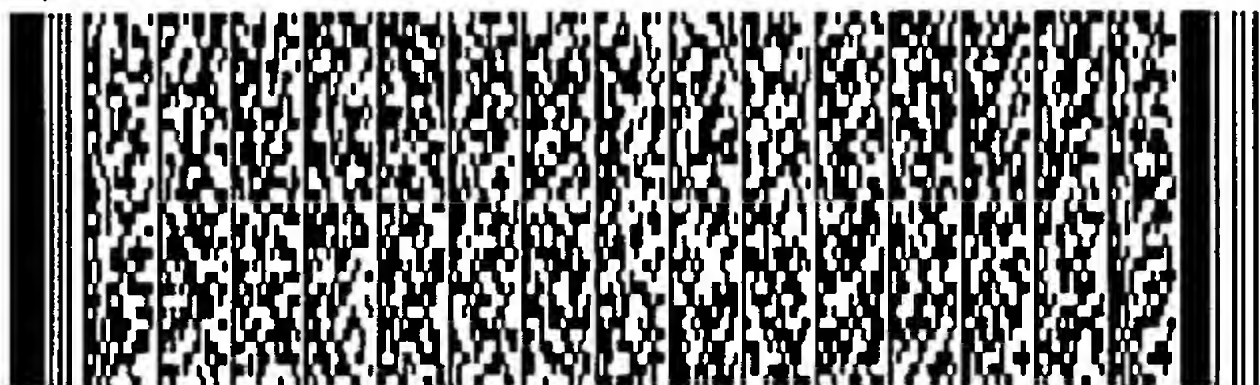
第 15/26 頁



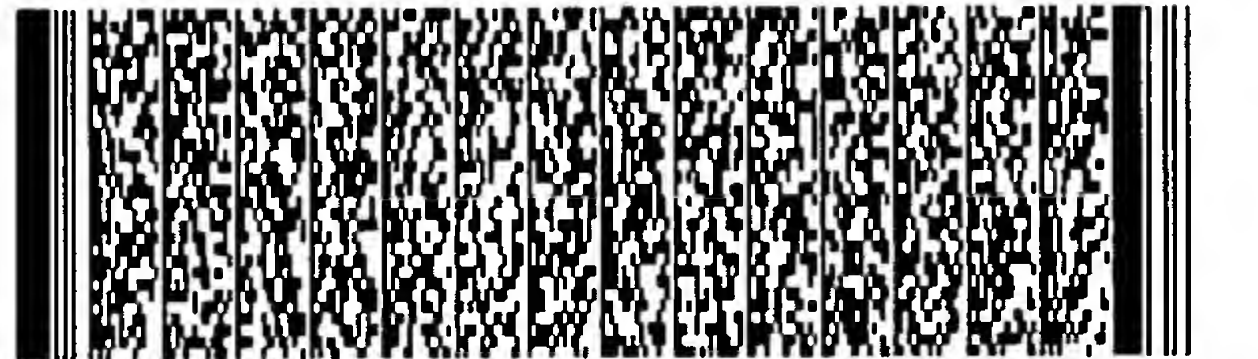
第 16/26 頁



第 16/26 頁



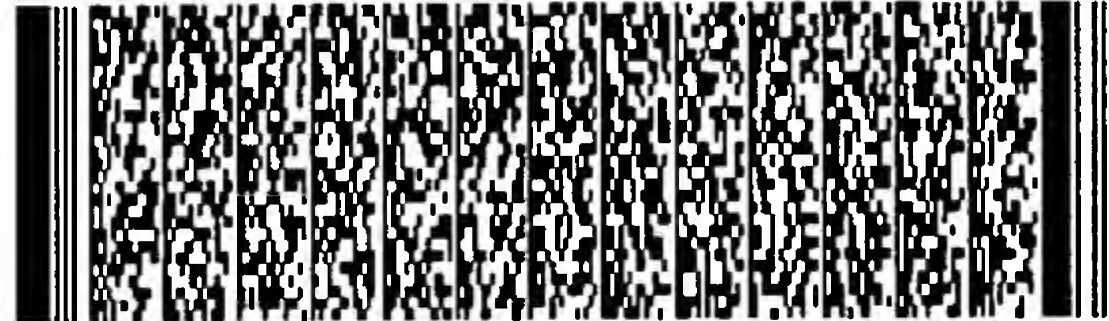
第 17/26 頁



第 18/26 頁



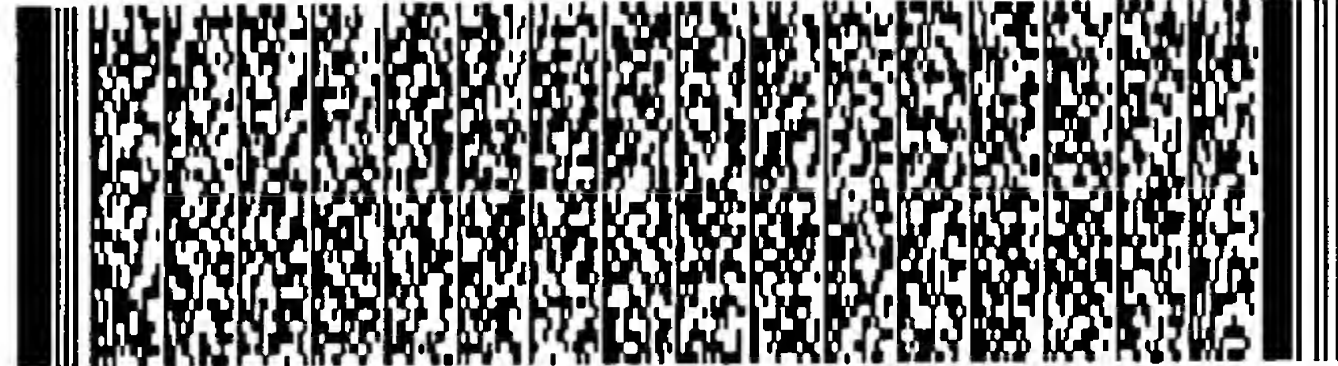
第 19/26 頁



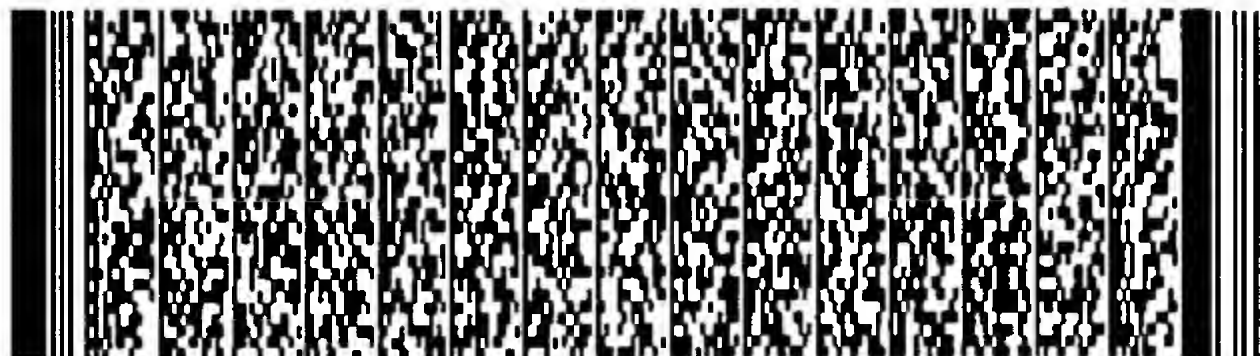
第 19/26 頁



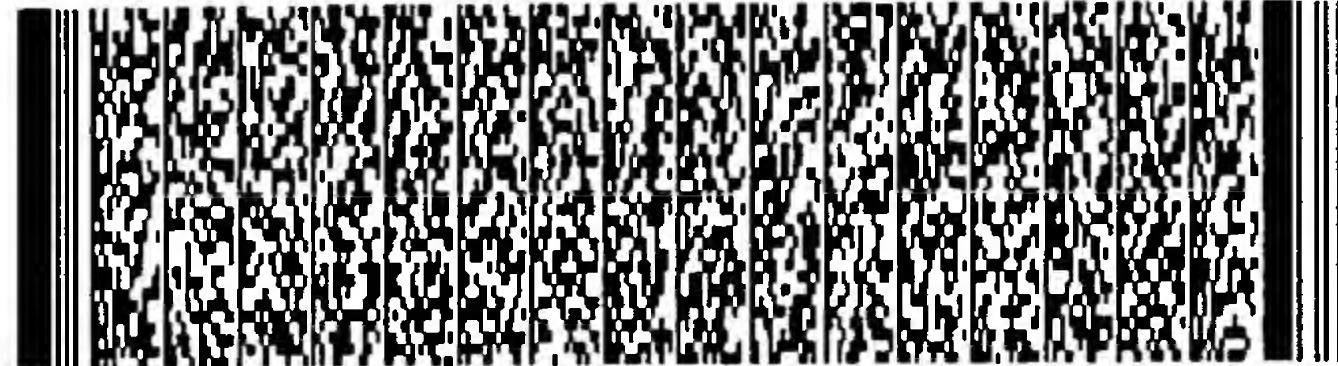
第 20/26 頁



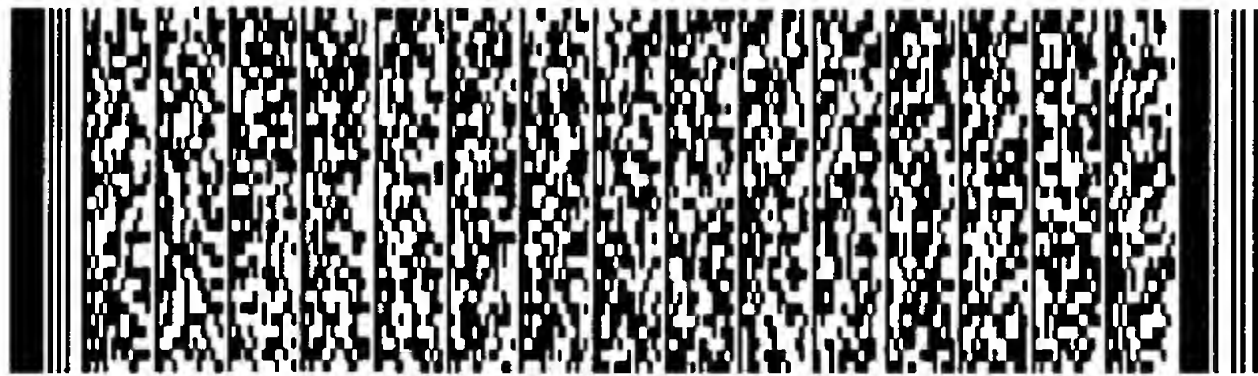
第 21/26 頁



第 22/26 頁



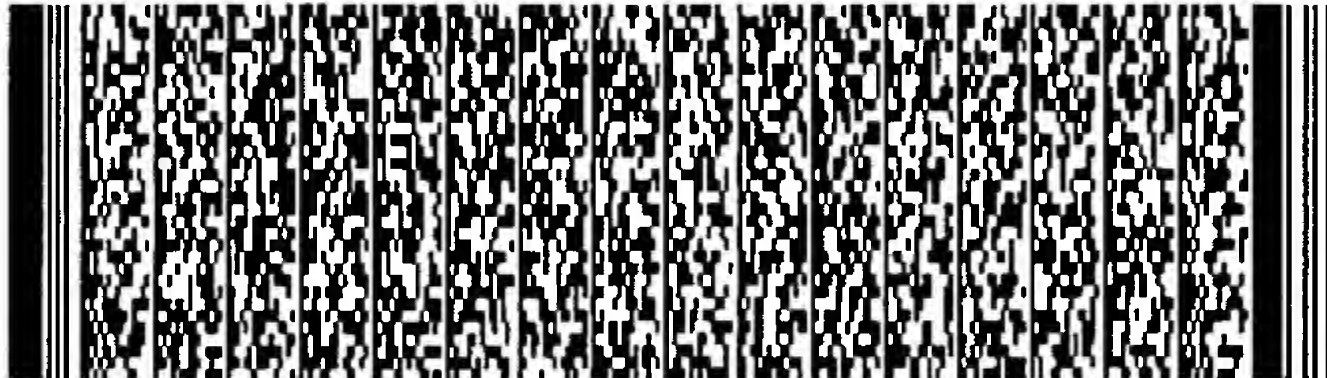
第 23/26 頁



第 24/26 頁



第 25/26 頁



第 26/26 頁

